

整理番号	15大-3
------	-------

育成試験の名称	強誘電体薄膜界面伝導 FET メモリ
実施機関及び担当者	大阪大学 大学院 基礎工学研究科 教授 奥山 雅則
育成試験の目的	
<p>本提案のメモリは、絶縁体上に強誘電体膜を積層し、その界面に対抗して設けられた2電極間の界面電気伝導を強誘電体膜の分極方向により記憶させる新構造FET(電界効果トランジスタ)素子で、低消費電力、高密度、高速、記憶非破壊読み出し可能な不揮発性メモリとして期待される。これまでに基本構造を試作しメモリ動作は確認しており、その実用化に向けた構造最適化が望まれる。強誘電体膜をSiO₂付きのSi基板上に対抗する金属電極上に、PZTやSrBi₂Ta₂O₉等の強誘電体膜を成長し、さらにゲート電極をして素子とする。この電流とゲート電極電圧依存性、メモリ書き換え特性などの基礎特性を調べ、その問題点を明らかにするとともに、解決策の検討を行う。</p>	
試験方法	
試験項目	内 容
非晶質基板上への強誘電体結晶薄膜作製を用いた新規構造素子の作製と基本特性の確認	非晶質のSiO ₂ 付きのSi基板上にPZTやSrBi ₂ Ta ₂ O ₉ 等の強誘電体膜を成長させることが必要ことから、結晶性、強誘電性の良い強誘電体膜を結晶成長させることが必要である。また、電流路である絶縁体・強誘電体膜界面をうまく形成し、多くの電流を得る必要がある。
提案新規構造素子の特徴と従来素子と比べての優位性、問題点の明確化	新構造素子の電流-電圧特性、容量-電圧特性などの基礎特性を調べ、現状のシリコンを用いた強誘電体薄膜ゲートFETメモリと比べ、長所、欠点などを明らかにする。
予算額	200万円
試験結果	
<p>界面伝導電流による不揮発性ゲートFETメモリを試作した。現在のところ、デバイスに応用するには時期尚早ではあるが、実際にデバイスを実現し、以下の特性を得た。具体的には、1)各部のリーク電流よりも大きなドレイン電流を流すことができ、Id-Vg特性において強誘電性に起因するメモリ特性が得られた。2)トランジスタ特性として、2桁のOn/Off比不揮発性メモリ特性として、ゲート保持電圧-1Vにおいて0.7桁のOn/Off比等が得られた。これらの結果から強誘電体-誘電体界面によるトランジスタ動作、メモリ動作を確認した。メモリ保持や応答特性などの実用的な特性の洗い出しが望まれる。</p>	
現在の状況及び今後の展開方策	
<p>科研費基盤研究Aに「新構造誘電体薄膜間界面伝導トランジスタ」として、申請を行っている。</p> <p>本提案のトランジスタの試作と基礎特性の再現性確認が出来たので、素子としての最適化や、界面伝導現象の解明、また特性の向上に向けて取り組む。</p>	