

研究成果

<p>サブテーマ名：デバイス形成技術開発 小テーマ名：レジスト塗布・現像プロセス開発</p>
<p>サブテマリーダー：東京エレクトロン九州(株)プロセス技術部長 吉岡和敏 研究従事者：(財)くまもとテクノ産業財団電子応用機械技術研究所小山義文、東京エレクトロン九州(株)吉岡和敏、東京エレクトロン九州(株)北野高広、東京エレクトロン(株)竹下和宏、(財)くまもとテクノ産業財団鏡裕行、日本ゼオン(株)高機能材料事業部河田敦、熊本県工業技術センター宮川隆二</p>
<p>研究の概要、新規性及び目標</p> <p>研究の概要 半導体の微細化にともなう、フォトリソグラフィプロセスで利用される4倍マスクにも高い加工精度が要求されるようになってきた。半導体ロードマップによると、2005年におけるマスクには、現像後線幅均一性(100nm)で面内4nm(3)が要求されている。このような高い数値目標は、マスク製造プロセス全体を見直す必要があり、本研究でも、レジスト材料と塗布・現像プロセスの面から高精度マスク実現のための要素技術確立に取り組んだ。</p> <p>研究の独自性・新規性 スピコートによるマスクブランクへのレジスト塗布では、ブランク角部にフリンジと呼ばれる膜が厚くなる領域ができ、マスクの有効面積が狭くなる。また、マスク端面に付着したレジストがパーティクルとなり、マスク欠陥の原因となる。スキャン塗布方式では、ブランクを回転させない塗布方式であるため、角部にフリンジができない。また、マスク端面へのレジスト付着がないためマスク欠陥も低減できる。併せてレジスト液使用量もスピコートに比較して低減できる。</p> <p>研究の目標 フェーズ：レチクル用スキャン塗布・現像プロセスの確立 フェーズ：減圧乾燥シミュレーションの高精度化 フェーズ：スキャン塗布プロセス装置の半導体分野での事業化</p>
<p>研究の進め方及び進捗状況</p> <p>従来型レジストを用いた試作機によるレジスト塗布・現像プロセスの最適化、減圧乾燥工程における気流解析を実施。減圧乾燥工程における膜形成メカニズムの解明のためのシミュレーションを実施。また、レチクル用スキャン塗布・現像装置試作機を開発。平成14年度からは即効型地域新生コンソーシアムに場所を移し、研究を継続して行った。</p>
<p>主な成果</p> <p>具体的な成果内容：減圧乾燥工程における膜形成メカニズムの解明へ繋がる基礎的なシミュレーション結果を得る。また、レチクル用スキャン塗布・現像装置試作機の開発。</p> <p>特許件数：2 論文数：5 口頭発表件数：6</p>
<p>研究成果に関する評価</p> <p>1 国内外における水準との対比 現在のマスク用レジスト塗布装置はスピコートが利用されており、約500nmの膜厚に対して約3nmの膜厚均一性がある。しかし、マスク基板角部の約10mmの範囲に、フリンジと呼ばれる膜厚が厚い領域ができ、その部分は使用不可能領域となっている。また、端面や裏面にレジストが付着するが、後の工程でのパーティクル発生源になるため、専用の除去工程で取り除く必要がある。 塗布均一性の点ではスピコートに勝る方式はないと言っても過言ではないが、EB露光は膜厚均一性に鈍感であるため、スピコート程の膜厚均一性は必要ないと考えられる。それより、近年アライメントマークにも相当の精度が要求されるようになっており、角部の膜厚均一性確保が重要と考えられる。また、パーティクル管理もより厳しくなっていくことから、パーティクル源を作らない方式が望まれる。 EB露光に必要な膜厚均一性を角部も含めて実現することができれば、パーティクル面でも利点を持つスキャン塗布が採用される可能性がある。</p> <p>2 実用化に向けた波及効果 スキャン塗布方式を用いることにより、マスクの角部まで利用することができ、パーティクルによるマスク欠陥も低減できると考えられる。スキャン塗布工程における膜厚均一化機構の解明ができれば、マスクのみならずLCDなど大型基板への展開も考えられ、レジスト使用量の低減などの利点も発揮される。</p>
<p>残された課題と対応方針について</p> <p>平成14年度からは即効型地域新生コンソーシアムに場所を移し、フェーズとして減圧乾燥シミュレーションの高精度化研究を継続して行った。平成15年度からは、フェーズとして、東京エレクトロン九州(株)にて、スキャン塗布プロセス装置の半導体分野での事業化の為に検討を進めている。</p>

	J S T負担分 (千円)							地域負担分 (千円)							合 計
	H 11	H 12	H 13	H 14	H 15	H 16	小計	H 11	H 12	H 13	H 14	H 15	H 16	小計	
人件費	0	0	4700	0	0	0	4700	2900	3400	5900	500	0	0	12700	17400
設備費	0	0	35700	0	0	0	35700	0	84700	0	49000	0	0	133700	169400
その他研究費 (消耗品費、 材料費等)	800	1200	4800	0	0	0	6800	4240	6000	5520	22560	0	0	38320	45120
旅費	200	300	1200	0	0	0	1700	1060	1500	1380	5640	0	0	9580	11280
その他	0	0	3600	0	0	0	3600	0	0	0	0	0	0	0	3600
小 計	1000	1500	50000	0	0	0	52500	8200	95600	12800	77700	0	0	194300	246800

代表的な設備名と仕様 [既存 (事業開始前) の設備含む]
J S T負担による設備 : スキャン塗布装置、現像装置
地域負担による設備 : クリーンルーム、減圧乾燥装置

[様式 6]

研究成果

<p>サブテーマ名 : デバイス形成技術開発 小テーマ名 : 次世代実装対応めっき技術研究開発</p>
<p>サブテマリーダー : 凸版印刷 (株) エレクトロニクス研究所 土岐荘太郎 研究従事者 : (財) くまもとテクノ産業財団電子応用機械技術研究所 萩原宗明、緒方工業(株) 安田敬一郎、広島大学助教授 新宮原正三、熊本県工業技術センター 石松賢治、凸版印刷(株) 古屋明彦、(株)ロジックリサーチ 若杉雄彦、熊本大学 福迫武、熊防メタル(株) 馬場知幸、日本ゼオン(株) 杉村正彦、脇坂康尋、上村工業(株) 筑間光靖、徳田博</p>
<p>研究の概要、新規性及び目標</p> <p>研究の概要 次世代実装対応めっき技術の研究開発 ・高アスペクト比フィロドピア埋め込み技術の開発 ・低誘電率材料に対するCu配線の密着性向上技術の開発</p> <p>研究の独自性・新規性 低誘電率材料に対するCu配線の密着性向上技術 従来、絶縁材料へ密着性良くCu配線を形成するには絶縁材料表面を数μm荒らした物理的なアンカーリング効果を利用してしたが、我々はCu配線との化学的な結合力を有する配位基を利用して可能な限り平滑な絶縁膜上に対するCu配線の密着性向上(0.6kg/cm以上)技術の開発</p> <p>フィロドピア穴埋め技術 従来の無電解銅めっきおよび電解銅めっきによるフィロドピア埋め込み技術は穴の底面、側面からの等方析出であるが、我々はフィロドピア底面の銅配線表面を利用した底面析出による高アスペクト比、微細ピアホール埋め込み技術の開発</p> <p>研究の目標 フェーズ : 可能なかぎり平滑な絶縁材料上に配線層(Cu)を0.6kg/cm以上の密着力で形成するための表面改質法とそれに対応しためっき方法の検討、穴径10μm、アスペクト比2.5フィロドピアホール埋め込み フェーズ : 高速駆動プリント配線板の開発 フェーズ : 事業化検討</p>
<p>研究の進め方及び進捗状況</p> <p>ポリイミド/銅配線の密着性向上及びフィロドピアの穴埋め技術開発のためにパテントマップを作成。下部電極を活性化させる方法で、直径10ミクロン、アスペクトホール比2.5を達成。</p> <p>ポリイミド系絶縁材料について、0.5μm以下の微細表面粗化とイミド開環による金属に対して配位力のある表面官能基の導入を併用することにより、表面粗化なしで0.6kg/cm以上の密着強度をコンスタントに得る技術を確立。これはJEITA2001ロードマップによると、2003年度達成目標に相当する。</p> <p>低誘電率樹脂/銅配線の密着性向上の研究を2001年4月より開始。絶縁樹脂の表面荒さRa<0.1μmにおいてCu配線の密着強度0.6kg/cmを達成。業界最高水準に相当する。</p>
<p>主な成果</p> <p>具体的な成果内容 : 直径10μm、アスペクトホール比2.5のホールにおいて、ボイドの発生がない穴埋め技術を確立。ポリイミド系絶縁材料での密着性向上技術(密着強度0.6kg/cm以上:銅箔厚み=20μm)の確立。</p> <p>低誘電率($r < 3.0$)、低誘電正接($\tan \delta < 0.01$)を有する平滑な($Ra < 0.1 \mu m$)絶縁樹脂上での密着性向上技術(密着強度0.6kg/cm:銅箔厚み=20μm)を確立した。また、電気特性では高速信号(40GHz)の伝送特性(S21パラメータ)において従来比(1μm基板)1/2以下の減衰率、信号の立ち上がり特性(TDT)も2倍以上早く立ち上がる特性を実現できた。</p> <p>特許件数 : 7 論文数 : 11 口頭発表数 : 2</p>