

	J S T負担分 (千円)							地域負担分 (千円)							合 計
	H 11	H 12	H 13	H 14	H 15	H 16	小計	H 11	H 12	H 13	H 14	H 15	H 16	小計	
人件費	0	0	0	0	4200	2100	6300	0	0	0	0	2300	1500	3800	10100
設備費	0	0	0	0	6300	17000	23300	0	0	0	0	0	0	0	23300
その他研究費 (消耗品費、 材料費等)	0	0	0	0	5200	3400	8600	0	0	0	0	9600	4000	13600	22200
旅費	0	0	0	0	1300	900	2200	0	0	0	0	2400	1000	3400	5600
その他	0	0	0	0	2200	2500	4700	0	0	0	0	0	0	0	4700
小 計	0	0	0	0	19200	25900	45100	0	0	0	0	14300	6500	20800	65900
代表的な設備名と仕様 [既存 (事業開始前) の設備含む] J S T負担による設備：押出成形金型 地域負担による設備：焼成炉															

[様式 6]

研究成果

サブテーマ名：計測技術開発 小テーマ名：3次元形状計測手法開発
サブテマリーダー：(株)東芝セミコンダクター社 プロセス技術推進センター グループ長 山崎 裕一郎 研究従事者：(株)東芝セミコンダクター社 G 長山崎裕一郎、(株)トプコン技監鈴木等・主務阿部和夫・主務木村浩二・鶴我靖子・岡田真一、(有)熊本テクノロジー常務取締役小坂光二、熊本大学助教授中田明良
研究の概要、新規性及び目標 研究の概要 電子ビーム3次元形状計測手法の開発。70nm Technology Node に対応できる3次元形状計測技術を開発する。具体的には、T-MOL 要素技術の確立、3次元形状計測アルゴリズムの開発およびその精度検証を行う。 研究の独自性・新規性 半導体微細加工パターンなど2次元平面上に形成される微細なパターン形状を計測するには、従来から高精度な測長 SEM (MI-5080) 技術があった。本開発においては、この技術に付加する形で Tilting-Moving Objective Lens (T-MOL) を導入する。この技術は従来直線的に照射されてきた測長 SEM の電子ビーム光学系に、ビーム軸を偏向させる偏向レンズをとりつけ、パターン側壁などへの電子ビームの斜め照射を可能にし、その得られた画像を画像処理することにより3次元画像を構築し、3次元形状計測を実現しようというものである。これらを可能にするための T-MOL 技術および3次元形状計測アルゴリズムの開発が本開発のテーマである。 研究の目標 フェーズ：最大傾斜角 10 度、分解能 4nm の画像観測が可能な新 T-MOL ユニットの試作。 ステレオマッチングによる3次元形状計測アルゴリズムの開発。 フェーズ：T-MOL 技術の完成 (最大傾斜角 10 度、分解能 4nm) と画像処理により正確な3次元形状計測値を算出するためのキャリブレーション技術の開発。 フェーズ：実半導体デバイスでの3次元形状計測の精度検証。
研究の進め方及び進捗状況 新対物レンズと8極子偏向器を設計製作評価し、傾斜角 10 度、分解能 6nm を達成、および、3次元画像構築ソフトを開発 (H15/3)。傾斜角 10 度、分解能 4nm の T-MOL 完成とキャリブレーションソフトを開発 (H16/3)。画像処理による3次元形状計測値と CD-AFM 測定とを比較し、精度検証を開始 (H16/4~)
主な成果 具体的な成果内容：超精密高圧電源。傾斜分解能 10 度・4nm の T-MOL 技術の確立。 画像処理による3次元形状計測アルゴリズムを開発し、精度検証を行ない、その有用性を確認。 特許件数：7 論文数：12 口頭発表数：15
研究成果に関する評価 1 国内外における水準との対比 電子顕微鏡の電子ビームを傾斜させて観察を行う手法は従来ロッキング方式が古くから知られておりが、ビームが傾斜時にレンズ中心からずれるため分解能が著しく低下する。我々の採用した T-MOL 方式はレンズ中心外も分解能が低下せず、既存の CD-SEM に組込むことが可能である。 2 実用化に向けた波及効果 3次元形状再構成画像処理アルゴリズム開発により、3次元形状計測の目処が立ってきた。今後は、3次元測長電子顕微鏡 (3D-CDSEM) の早期商品化を計る。

残された課題と対応方針について

製品化にはアライメント自動化、ユーザーインターフェースの開発が必要になる。
受注活動と試作機の開発資金の確保に努める。

	J S T 負担分 (千円)							地域負担分 (千円)							合計
	H 11	H 12	H 13	H 14	H 15	H 16	小計	H 11	H 12	H 13	H 14	H 15	H 16	小計	
人件費	0	0	3500	9500	7600	2500	23100	3000	14500	4300	4300	4200	2000	32300	55400
設備費	119100	44600	0	3100	0	0	166800	0	25700	0	21200	18700	12300	77900	244700
その他研究費 (消耗品費、材料費等)	171	4240	7760	6880	6720	2160	28480	3200	12720	4240	22640	14880	6400	64080	92560
旅費	180	1060	1940	1720	1680	540	7120	800	3180	1060	5660	3720	1600	16020	25220
その他	1000	1000	2700	1900	2100	500	9200	0	0	0	0	0	0	0	9200
小 計	121000	50900	15900	23100	18100	5700	234700	7000	56100	9600	53800	41500	22300	190300	425000

代表的な設備名と仕様 [既存 (事業開始前) の設備含む]

J S T 負担による設備 : C D - S E M、クリーンブース、ワークステーション

地域負担による設備 : 対物レンズユニット、収束レンズユニット、静電偏向ユニット、3 D 画像ステーション

[様式 6]

研究成果

サブテーマ名 : 計測技術開発

小テーマ名 : 高速 LSI テスト

サブテーマリーダー : ルネサステクノロジ(株)熊本工場長神立信一

研究従事者 : 広島大学 佐々木守、熊本大学 福迫武、熊本県工業技術センター 石松賢治、ルネサステクノロジ 金沢守道、サンヨー工業 長畑博之、(株)東京カソード研究所 鈴木幸三郎

研究の概要、新規性及び目標

研究の概要

ネットワーク、電子機器の高速化に伴い、LSI の I/O インタフェースのデータ転送速度が 2.5G ビット/秒とこれまでの 20 倍の速度である。このような高速 LSI の I/O を低コストでテストする方法を提案する。

- ・ LSI の中に高速 I/O を評価する回路を組み込み、ループバックパスを配置したテストボード上に LSI を配置する。LSI からテスト信号を送信し、ループバックパスを介して信号を戻し、同じ LSI で受信し、その可否を判定する方式である。この方法では、半導体工場にある既存のテストを使用することができる。研究では、高速 I/O とそれをテストする回路を内蔵する LSI を試作し、半導体工場内で実際に I/O のテストを行い、提案するテスト方式の有効性を検証する。
- ・ 高速なデジタル信号が伝送可能なプローブカードを開発する。同軸構造を持つフレキシブルなプローブカードを設計、試作し、5G ビット/秒のデジタル信号が伝送できることを確認する。
- ・ LSI テストボードで使用する高周波リレー (RF リレー) を 2.5G ビット/秒に対応したリレーを開発する。

研究の独自性・新規性

- ・ ループバックパスを設けたテストボードを使って、量産現場で使用できる高速 I/O のテストはこれまでなく、独自性・新規性がある。
- ・ フレキシブルなプローブカードは、同軸構造を持たせることにより、高周波特性の改善、特にクロストークが改善できる。
- ・ RF リレーでは、リレー内のインピーダンスが高いため、高周波特性を悪化させていた。リレーの中間部分のインピーダンスを低下させることにより、リレー全体のインピーダンスを伝送路のインピーダンスに近づけることにより、高周波特性を向上させることができる。

研究の目標

フェーズ : 高周波に対応したフレキシブルなプローブカードの開発 (5G ビット/秒)

フェーズ : 高速 I/O テスト方式の実証。(エラービットレシオ評価)

RF リレーの開発 (インサクションロス、6.25GHz で -1dB)

フェーズ : 高速 I/O テスト方式の実用化、RF リレーの事業化

研究の進め方及び進捗状況

- ・ 試作 LSI は、広島大学で設計し、TSMC (Taiwan Semiconductor Manufacturing Company Ltd.) で 0.35 μm プロセスを使い試作した。2004 年 3 月に目標とする性能 (2.5G ビット/秒対応) を持つ LSI を試作できた。2004 年度に、ルネサステクノロジの熊本工場で、数十個の試作 LSI のエラービットレシオ (EBR) を測定することができた。
- ・ RF リレーを試作を行った結果、インサクションロスが 8GHz で -1dB ある。しかし、アイソレーションが悪かった。三次元高周波シミュレーションを用いて、リレーの構造を変え解析した結果、RF リレーのアイソレーションを -30dB 以下にすることができることを確認した。