

# プローバ高周波計測技術開発

神立 信一<sup>\*1</sup>, 金沢 守道<sup>\*1</sup>, 石松 賢治<sup>\*2</sup>, 鈴木 幸三朗<sup>\*3</sup>,

長畑 博之<sup>\*4</sup>, 松藤 秀史<sup>\*4</sup>, 佐々木 守<sup>\*5</sup>, 福迫 武<sup>\*6</sup>

<sup>\*1</sup>ルネサステクノロジ, <sup>\*2</sup>熊本県工業技術センター, <sup>\*3</sup>東京カソード研究所,

<sup>\*4</sup>サンヨー工業, <sup>\*5</sup>広島大学, <sup>\*6</sup>熊本大学

## 1.はじめに

ここ10年でマイクロプロセッサの動作周波数は30倍以上, ハードディスク装置(HDD)のインタフェース速度は約25倍, ネットワークの代表各々異なるEthernetのデータ転送速度に至っては実に100倍もの高速化を遂げた。しかし, 現在多くの機器で広く使われているPCIバスのデータ転送速度は, ほとんど変わっていない。また, 機器設計に当たって想定すべきアプリケーションの変化, すなわち, 動画やオーディオといったストリーミングデータへの対応が次世代の入出力インタフェースの開発の大きな動機づけになっている。

"PCI Express" などに代表される次世代の入出力インタフェースでは, 隣り合う個のLSIを1対1で接続するポイントツーポイント接続方式を採用して, 多重反射を抑えている。また, 高い動作周波数でもクロックスキューの調整が容易になるように, 8ビット程度といった狭いデータ幅を採用する。ポイントツーポイント接続や狭いデータ幅の採用は, スイッチLSIが中心となってデータの転送を制御するネットワーク構造を採用しやすくなることから, ストリーミングデータの転送に適している。しかし, 広いデータ幅を備えるバスインタフェースに比べて, 飛躍的に高い周波数で動かさなければならない。たとえば32ビット幅のPCIバスに比べて10倍程度のデータ転送速度を8ビット幅のデータバスを使って実現するには, 1GHz以上で動作する入出力回路が必要になる。

上記のようなことを背景に, PCI Expressなどの

高速I/Oを備えたLSIの生産量は今後増えることが予想される。また, これらの高速I/Oは, Multiplexer / Demultiplexer や VCO(Voltage Controlled Oscillator), PLL(Phase Locked Loop), DLL (Delay Locked Loop) などを含んでいる [1]。そのため, テストに関しても, I/O部に対して今まで行なってきたLFT(Loose function test)やDCテストとは異なった対応(アット・スピード・テスト)が要求される。このような高速I/Oを備えたLSIの量産に備えて, LSIテストのあり方を検討することは非常に重要である。

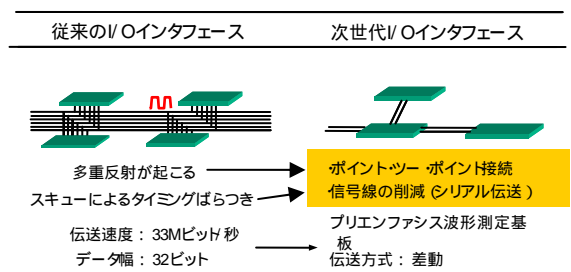


図1.次世代I/Oインタフェース

## 2.高速I/Oテストの問題点

現在でも, プローバカード自身やLSIテスト単体では, 1GHzを越える信号に対応可能となっている。しかし, それらを組み合わせたテストシステム全体は, 極めて高価になる。汎用品のテストでは, 複数のテストシステムを用意して, 並列にテストを実行することでスレーブを向上させている。高価なテストシステムでは, このような方法は望めず汎用品のテストには不向きである。

LSIテストを用いた測定では, LSIテスト, ロー

ド・ボード、ソケットの負荷容量が、設計時に実行した論理シミュレーションの端子負荷容量の設定値を大きく上回ることがあり、論理シミュレーションで確認された最高周波数で動作しないことがある。これらのことは、高速I/Oのテストではより顕著になる。DUTから波形検出部までの配線長に加えて、ロード・ボード、ソケットの周波数特性まで考慮する必要がある。

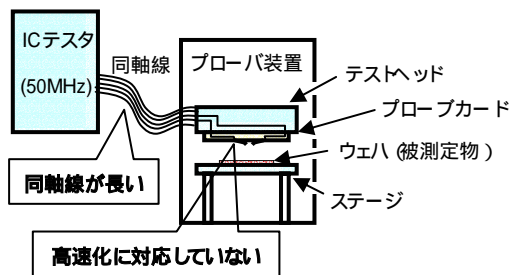


図 2. ウエハテストでの問題点

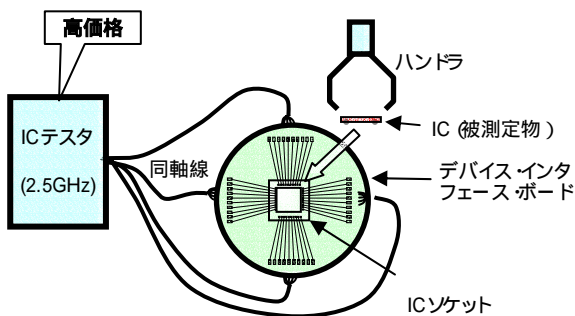


図 3. ファイナルテストでの問題点

### 3. 高速I/Oのためのテストシステム

ロード・ボード上にアナログ信号の測定回路や解析回路を実装して、アナログ・テストを汎用ロジック・テストで行なえるようにしたアナログBOST (Built-Out Self-Test)が開発されている。BISTと比較してBOSTのメリットは、

- (1) 外部インターフェースを含めた保証が可能
- (2) チップのエリアペナルティがない
- (3) チップ評価時における可観測性が高い

ことである。ここで、(1)、(3)のメリットは、高速I/Oのテストには必須の条件であり、先に示したDUTから信号検出部までの配線距離を著しく短くできる。

したがって、先の解析で示したような高速ディジ

タル信号の波形歪みを十分抑えることができ、高速I/Oのテストを可能にする。一方、一般的にBOSTの欠点として、次の2点が挙げられる。

- (1) ロード・ボード上に実装スペースが必要
- (2) チップのピン数の制約を受ける

ただし、(2)に関しては、高速I/Oテストでは問題にならない。その他、BOSTを考える上で高速I/Oテスト独自の問題点としては、入出力信号レベルをはじめ、その仕様の多さである。高速I/Oテストでは、下記のようなさまざまな仕様に対応せねばならない。

- (1) 入出力信号レベル

「CML(Current Mode Logic)」と「LVDS(Low Voltage Differential Signaling)」が有力候補であるが、その理由は、1. 小振幅・差動の信号レベルを採用していること 2. CMOS技術で実現可能なことの2点である。

- (2) 高速信号処理技術

波形強調(プリエンファシス)、多値伝送、同時双方向伝送といった高速信号処理技術の導入が始まろうとしている。プリエンファシスでは、信号が伝送路を通過する際に波形がなまることを前提にして、あらかじめ送信側のLSIで波形の一部を強調する。多値伝送では、たとえば信号振幅に4値(2ビット)の情報をもたせることで、クロック周波数を上げずに信号線当たりの最大データ転送速度を2倍に高める。同時双方向技術は、1本の信号線で同時に双方向に信号を送る技術であり送信側のLSIの信号レベルを差し引くことによって、相手側から送られてきた信号のレベル判定を行なう。多値伝送同様に、信号線当たりの周波数を高めずに最大データ転送速度を2倍に上げられる。

### 4. 提案するテストシステムの概要

#### 4.1. バウンダリ・スキャン・レジスタによるI/Oと内部ロジックの分離

LSI内部では、テスト容易化設計として、バウンダリ・スキャン・レジスタによるI/Oと内部ロジックの

分離を行なう(図4)。これらのバウンダリ・スキャン・レジスタを使って、内部ロジックのテストが容易になると同時に、高速I/Oに対して、送信信号を指定したり、受信信号をテストすることができる。

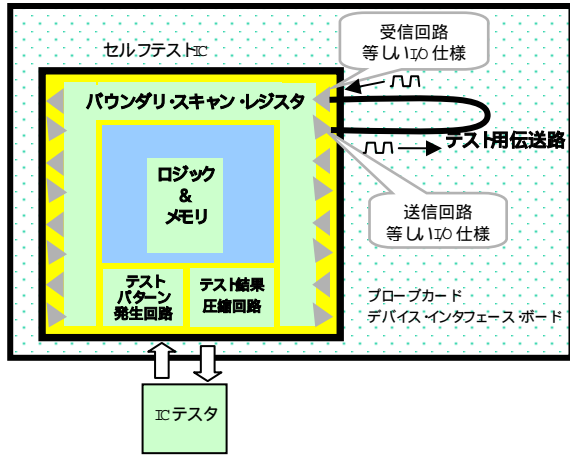


図4. 提案するテストシステム

#### 4.2. 疑似乱数パターン発生器とパターン圧縮回路

ロジックBIST(Built-In Self-Test)では、テスト・パターンがLSIテストからではなくLSI内部の疑似乱数パターン発生回路から出力される。また、テスト結果がLSI内部の出力パターン圧縮回路に送られる。疑似乱数パターン発生回路と出力パターン圧縮回路は、それぞれLFSR(Linear Feedback Shift Register)とMISR(Multiple Input Signature register)によって、チップのエリア・ペナルティを小さく実現できる [2]。これらを、高速I/Oの送信データ・パターンの発生および受信データのテストに応用する。すなわち、高速I/Oの送信データ・パターンをLSIテストからではなく、LSI内部の疑似乱数パターン発生回路から出力させ、高速I/Oが受信したパターンをLSI内部の出力パターン圧縮回路に送って、テストを行なう

#### 4.3. ロード・ボード上のループバック・パスによるアット・スピード・テスト

高速I/OテストとロジックBISTの相違点は、I/O部のテストのためLSI内部で閉じたテストが行えないことである。そこで、図4に示すようにロード・

ボード上の配線(ストリップ線路)でテスト対象のLSIのドライバ・ピンとレシーバ・ピンを接続するループバック・パスを設ける。このループバック・パスとLSI内部の疑似乱数パターン発生器およびパターン圧縮回路を組み合わせると、高速I/Oのセルフ・テストを行なう。この方法の利点は、  
 ・ロード・ボード上に測定回路や解析回路が必要ないため、BOSTの欠点であるロード・ボード上の実装スペースが緩和される。  
 ・LSIのI/O自身を使ったセルフ・テストなので、各々のI/O仕様に合わせてテスト・システムを設計し直す必要がない。

### 5. セルフテストチップの設計とアット・スピード・テスト評価

表1. 試作チップの概要

項目	内容
伝送方式	差動伝送
伝送速度	2.5Gビット/秒
入出力ポート数	1ポート
外部クロック	31.25MHz
テストとの信号	8ビットパラレル 30MHz
電源電圧 (VDD)	2.5V
プロセス	0.25 μm CMOS
メタル層	5層
チップ面積	3.3mm x 3.3mm

#### 5.1. 高速I/Oを備えたLSIの設計、試作

0.25 μm CMOS製造プロセスによる高速I/Oおよびセルフテスト機能を備えたLSIの設計、試作を行った。表1に試作チップの概要を示す。また、図5にブロック図を示す。送信のための回路ブロックは上段に描かれている。Serializerは10ビットパラレルデータをシリアルデータに変換して、時間に関する前ビット、現ビット、次ビットから構成される3ビットを同時にtransmitter/equalizerに送る。図6にtransmitter/equalizerの回路図を示す。

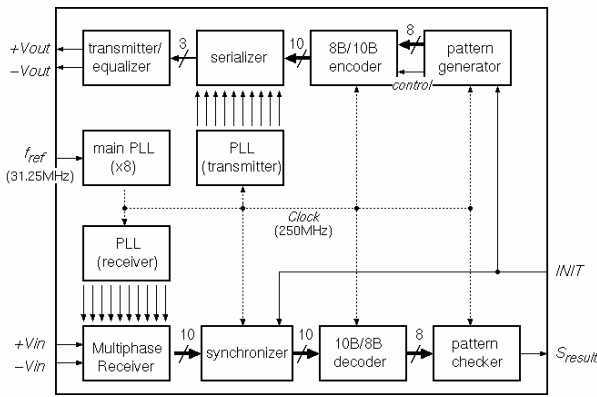


図 5.セルフテストチップのブロック図

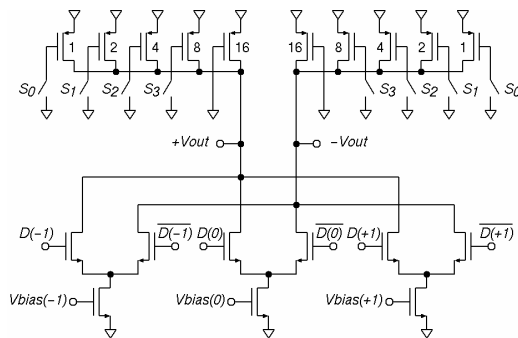


図 6. Transmitter/ equalizerの回路図

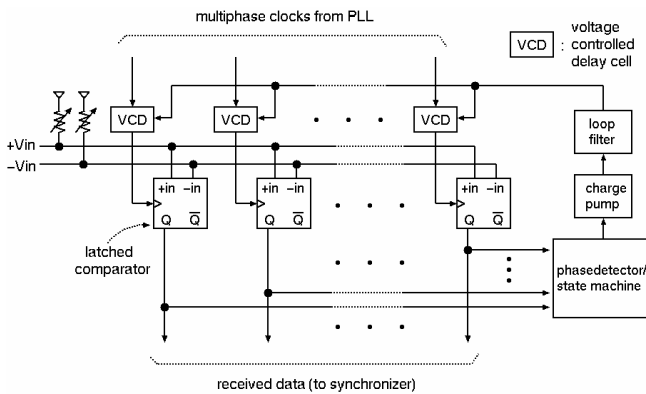


図 7. Multiphase receiverのブロック図

図 6では、serializerから送られる3ビットデータを  $D(-1)$ 、 $D(0)$ 、 $D(+1)$  で表している。3つのソース結合対は、電流モード論理 (CML) のドライバとして働き、かつ出力波形をイコライズする3タップの FIR フィルタとして動作する。3タップ係数は、バイアス電圧  $V_{bias(-1)}$ 、 $V_{bias(0)}$ 、 $V_{bias(+1)}$  で調整される。これらの回路の負荷は、伝送線

路との正確なインピーダンス整合を実現するため、デジタル的に調整可能な PMOS アレーで構成される。図 7 に multiphase receiver のブロック図を示す。遅延量を制御ため、アナログ DLL (Delay Locked Loop) を採用した。また、synchronizer は 2 種類の同期を実現する。1 つは、受信データと内部クロック間のタイミング調整である。もう 1 つは、バイト同期である。Pattern generator は、バイト同期のための特別なコードを送るように 8B/10B encoder を制御する。この初期シーケンスは、外部信号 "INIT" によってスタートする。Synchronizer は、初期シーケンスで送られてくる特別なコードを利用してバイト同期を実現する。クロックシステムについては、主 PLL が外部クロック  $f_{ref}$  (31.25MHz) から 250MHz の内部クロックを生成する。送信および受信のための PLL は、内部クロックから multiphase clock を生成する。チップレイアウトを図 8 に示す。測定した 2.5Gbps のアイダイアグラムを図 9 に示す。

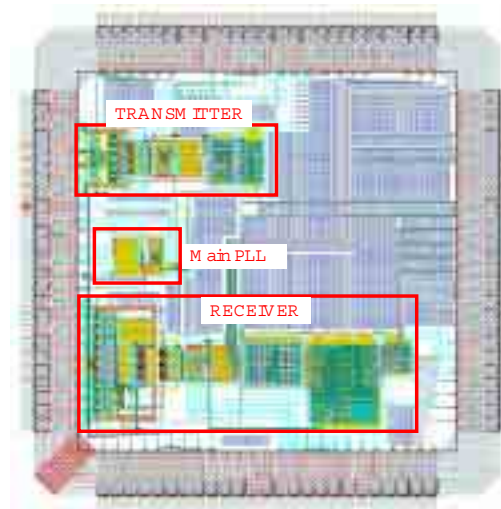


図 8. チップ・レイアウト

## 5.2. アット・スピード・テスト評価

プロトタイプ DUT ボードを開発して試作したセルフテストチップの BER (bit error ratio) を測定した。開発した DUT ボードを図 10 に示す。開発した DUT ボードとメモリテストを用いて評価実験を行った。メモリテストのテス



ト周波数は30MHzである．テストチップに与える参照クロックは水晶発振器によって生成している．測定したBERのヒストグラムを図11に示す．なお， $10^{-7}$ 以上のBERのチップは不良品としてヒストグラムには含めていない．

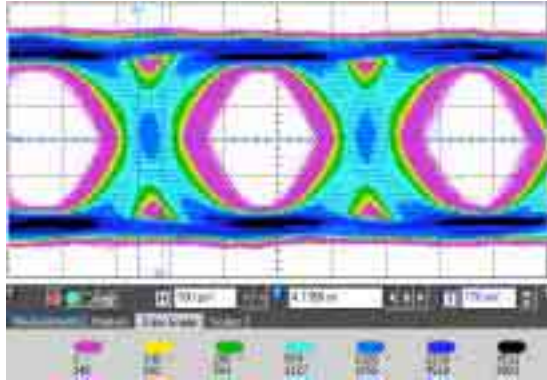


図9．アイ・ダイアグラム



図10．プロトタイプDUTボード

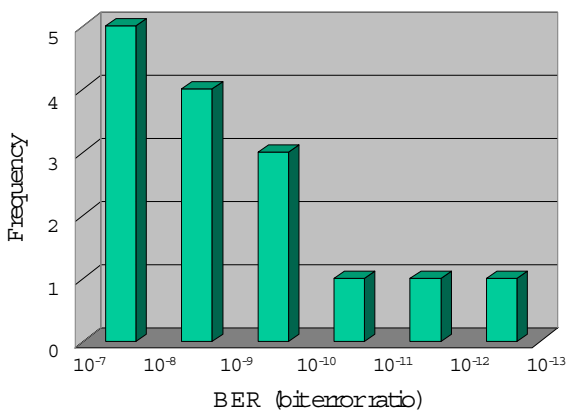


図11．セルフテストチップのBERヒストグラム

高速I/Oのためのアット・スピード・テストを効率的に安価なテストシステムで実現できる手法を提案した．高速I/Oと提案するアット・スピード・セルフテスト機能を集積化したテストチップを試作して、プロトタイプDUTボードと低速なメモリテストを用いた評価実験を行った．BER測定結果より提案テストシステムで、良好なアット・スピード・テストが実行できることを確認した．配線長が変わるとイコライザのタップ係数の調整が必要ある．配線長や周囲温度の変化に対応するための、IC上でイコライザのパラメータを自動調整する機能の開発を進めている．さらに、この機能のテストを行えるように、提案テストシステム上でループバック・パスの配線長を動的に切り替える機能の追加を検討している．

#### 参考文献

- [1] Pamin Farjad-Rad, Chih-Kong Ken Yang, Mark A. Horowitz and Thomas H. Lee, "A 0.3-  $\mu$ m CMOS 8-Gb/s 4-PAM Serial Link Transceiver", IEEE Journal of Solid-State Circuits, vol.35, no.5 pp.757-764, May 2000.
- [2] 佐藤 康夫, 中尾 教伸, 『設計者に必要なBIST技術基礎知識』, 『Design Wave Magazine』, 2001年3月号, pp.55-66.
- [3] 花井 寿佳, 山田 真二, 森 長也, 山下 栄作, 船倉 輝彦, 『装置コストを従来の1/20~1/100に抑えるアナログBOST』, 『Design Wave Magazine』, 2001年3月号, pp.77-84.
- [4] 枝 洋樹, 大石 基之, 『バスよりシリアルGHz伝送への決断』, 『日経エレクトロニクス』, no.798, pp.101-127, 2001.
- [5] 加賀 博史, 『設計者に必要なテスト工程の基礎知識』, 『Design Wave Magazine』, 2001年3月号, pp.35-45.
- [6] 佐々木 守, 『高周波プローブカードの開発「高速信号用BOST」』, セミコン・ジャパン2001熊本フォーラム, pp.27-34, 2001年11月

## 6.まとめ