

研究テーマ 携帯電源の開発  
軟磁性薄膜作成技術の高度化  
薄膜インダクタの試作

研究者	三寺正雄	財団法人みやぎ産業振興機構	研究員
	小野寺隆視	財団法人みやぎ産業振興機構	派遣研究員
	粟城長英	ソニー株式会社仙台テクノロジーセンター	企業出向研究員
	池田義人	ソニー株式会社仙台テクノロジーセンター	企業出向研究員
	堀 豊	宮城県産業技術総合センター	共同研究員
	高田健一	宮城県産業技術総合センター	共同研究員
	白川 究	財団法人電気磁気材料研究所	委託研究員

## 1 フェーズ

### (1) 研究の概要

近年、携帯型電子機器の高機能化および小型・軽量化が推進されている。しかし、これらの電子機器の高機能ならびに多機能化に伴う消費電力の増大を抑制することが課題となっている。この課題は、多機能化されてゆく本研究事業のインテリジェント FES に代表されるように医療、治療およびリハビリ用携帯型電子器機などにも共通している。現在、携帯型電子器機には比較的小型で安価な半導体電圧制御素子が多用されているが、将来的には DC-DC コンバータに推移する傾向が認められる。DC-DC コンバータの基本構成は、スイッチング回路、整流回路、電圧安定化回路とインダクタで構成されているが、従来のインダクタは、フェライトチップインダクタの例にしても、半導体とは異なる製造プロセスによる磁気素子で、上記の回路との一体化に難点がある。これに対して、薄膜インダクタは、半導体製造プロセスと同様のプロセスで製造することができる。DC-DC コンバータのスイッチング周波数も現在の 3MHz からさらに高周波側へ推移する過程にあり、近い将来半導体製造プロセスで薄膜インダクタを用いたマイクロ電源の実用化がなされるものと考えられる。

上で述べた理由により、当研究班は携帯電源開発のうち、FES のフィードバックシステムに応用可能な携帯型ベクトル荷重センサシステムに用いる薄膜インダクタ応用の電源の開発を目標に研究を行った。

薄膜インダクタの性能を支配する低損失薄膜磁心の開発

効率の高いインダクタの設計および試作

インダクタの性能を評価するための MHz 帯でスイッチング動作する DC-DC コンバータの設計と試作

その結果、低損失薄膜磁心の開発研究では、高飽和磁束密度と低磁歪を示すアモルファス磁性薄膜の組成範囲を決定したのち、低損失を示す多層膜磁心の作製条件を明らかにした。インダクタの設計および試作においては、まず、開磁路タイプのソレノイド型の設計試作を行いインダクタンス 1  $\mu\text{H}$ 、性能指数 Q15、直流バイアス電流 0.2A の特性を示すインダクタが得られた。しかし、将来電源制御回路とのワンチップ化を考慮して、漏れ磁束の少ない閉磁路タイプのインダクタの開発に切り替えることにした。このコイルはスパイラル型でサイズは L12.4mm, W3.2mm のものであるが、

インダクタンス  $1\ \mu\text{H}$ 、性能指数  $Q14.5$ 、直流バイアス電流  $0.5\text{A}$  の特性を示し、目標特性をほぼクリアしたインダクタを得ることができた。また、DC-DC コンバータの設計と試作では、 $1\sim 5\text{MHz}$  でスイッチング動作する DC-DC コンバータを作製し、試作インダクタの性能評価を行った。

## (2) 研究の目標

この研究期間には、小型化を目的とした  $\sim\text{MHz}$  の高周波帯で動作する  $1\text{W}$  クラスの携帯電源 (DC-DC コンバータ) に用いる薄膜インダクタの設計および試作を行い、実用の可能性を明らかにするとともにインダクタ作製に関する基礎的要素技術を確立させる。インダクタの目標性能は、インダクタンス  $1\ \mu\text{H}$ 、コイルの直流抵抗  $1\ \Omega$  以下、性能指数  $20$ 、直流バイアス電流  $0.5\text{A}$  とする。

また、薄膜インダクタの性能を評価するための評価ボード (DC-DC コンバータ) を作製する。

## (3) 実施内容

薄膜磁心の特性改善およびインダクタの試作

インダクタの小型化に伴い、高透磁率 / 高効率の薄膜磁心が必要とされることから、磁性層  $\text{CoNbZr}$  合金と絶縁層  $\text{SiO}_2$  からなる多層膜の各層の厚みを変えることで磁心の特性改善を試みた。磁性層には組成の異なる 3 種の  $\text{CoNbZr}$  薄膜を用い、各磁性層間に挿入する中間絶縁層  $\text{SiO}_2$  の厚さを一定として、1 層あたりの磁性層の厚さを変えて磁性層の総厚が  $6\ \mu\text{m}$  となる多層膜を作製し、それぞれの特性を比較した。また、多層膜の特性は、基本となる 2 層膜においてもっとも優れているため、積層数を増しても優れた 2 層膜の特性を保有する多層膜の製造方法の検討を行った。また、磁心の小型化に伴う磁心の特性変化を把握するための実験も行った。さらに、インダクタ作製工程における熱処理に伴う磁心の特性変化を把握することを目的に実験を行い、磁心の熱的安定性と合金組成および多層膜の積層条件の関係を調べた。

電磁場シミュレーションによる薄膜インダクタ設計

占有面積が  $11.1\text{mm}^2$  で  $L=1\ \mu\text{H}$ 、 $I_{\text{bias}}=0.5\text{A}$  を満たすソレノイド型インダクタの設計を行い、薄膜積層で行うパターンニングで必要とされるフォトマスクを作製および電磁場シミュレーションによって、スパイラル型薄膜インダクタの問題点の抽出と改善策の検討を詳細にわたり行った。その結果をもとに、占有面積が  $30\text{mm}^2$  で  $L=1\ \mu\text{H}$ 、 $I_{\text{bias}}=0.5\text{A}$  を満たすスパイラル型薄膜インダクタの設計とフォトマスクの作製を行った。さらに、占有面積が  $10\text{mm}^2$  以下とした場合にも同等の性能が得られるか否かの検討も行った。

薄膜インダクタの性能を評価するための評価ボード (DC-DC コンバータ) の作製

DC-DC コンバータの設計と試作では、公称  $3\text{MHz}$  でスイッチング動作する電源制御 IC を用いて出力および周波数を調整する機能をもたせた DC-DC コンバータを作製した。

## (4) 結果

### - 1 薄膜磁心の組成選択

携帯用電源の小型化を推進するためには、電気容量が小さく小型のインダクタを高周波領域で駆動するスイッチング回路が必要となる。

電源の小形化と高効率化を同時に達成することはかならずしも容易ではない。ここでの電源は、DC-DC

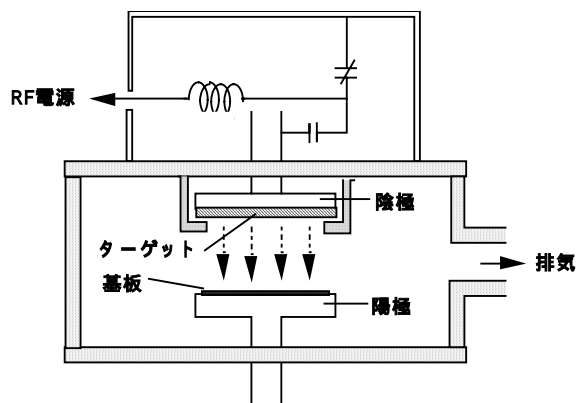


図 1 RF スパッタ装置の概略図

コンバータを想定したものであり、高周波駆動のマイクロ電源を実現するには、DC-DC コンバータのキーパーツとなる薄膜インダクタの高周波損失特に磁心損失をいかに低減するかに懸かっている。したがって、この章では薄膜インダクタの小型化に伴う損失の増大を抑制することを目的に、まず損失の少ないアモルファス

Co-Nb-Zr 薄膜磁心の成膜条件および組成の検討結果を述べる。一般に、MHz 帯の高周波領域で高透磁率ならびに低損失を示す薄膜磁心の基本特性として、飽和磁束密度が高いことおよび磁歪が限りなくゼロに近いことが要求される。これらの条件を満たす薄膜磁心を得ることを目的に、まず、計 20 枚作製した。薄膜の合金組成と磁気特性の関係を調べた。薄膜磁心の作製には、図 1 に示す RF マグネトロンスパッタ装置を用い、磁心を高周波帯で低損失の磁化回転をさせるために、永久磁石による磁界中で成膜を行い薄膜に 1 軸磁気異方性を付与した。表 1 に薄膜作成条件を示す。

得られた薄膜の軟磁性特性の評価は、VSM (試料振動型磁力計) LF インピーダンスアナライザーおよび薄膜磁歪測定装置により行った。

図 2 に、アモルファス Co-Nb-Zr 薄膜における合金組成と飽和磁束密度および磁歪の関係を示す。図右側の斜線部は結晶質で軟磁性の得られない領域であり、左側の部分は軟磁性を示すアモルファス (非晶質) の領域である。また、黒い曲線は磁歪定数 0 を示す。図から、アモルファス状態で磁心として基本特性の優れている磁束密度  $B_s$  が 1.2T 以上で磁歪定数  $\sim 0$  の組成範囲は Co84% ~ 91%、Nb5.5% ~ 8.0%、Zr3.6 ~ 4.0% であることが明らかになった。

## -2 磁心特性向上の検討

つぎに、単層膜と多層膜 (4 磁性層) の特性比較を行った。いずれの形態の膜も磁性体の実質の厚さを  $2\mu\text{m}$  とした。したがって、多層膜はこの場合厚さ  $0.5\mu\text{m}$  の磁性層 4 層と磁性層間を電気的に絶縁するための厚さ  $0.01\mu\text{m}$  の  $\text{SiO}_2$  層で構成されている。単層膜は  $\mu'$  が 780 で、 $\mu''$  は 1MHz から 100MHz の範囲で 12 から 500 まで増加しているが、一様な増加でない。この現象は磁性薄膜における

表 1 成膜作製の条件

多層膜スパッタ装置	RF3 極マグネトロン方式
到達真空度	$3 \times 10^{-5}$ Pa
スパッタガス圧	0.4Pa (Ar, Ar + O <sub>2</sub> )
ターゲット	3inch (Cu, Co-Nb-Zr, Au, SiO <sub>2</sub> )
放電出力	150 ~ 200W
成膜速度	6 $\mu\text{m}/\text{hr}$ (4 $\mu\text{m}$ ) / Cu
磁気異方性付与磁界	100 Oe (DC)

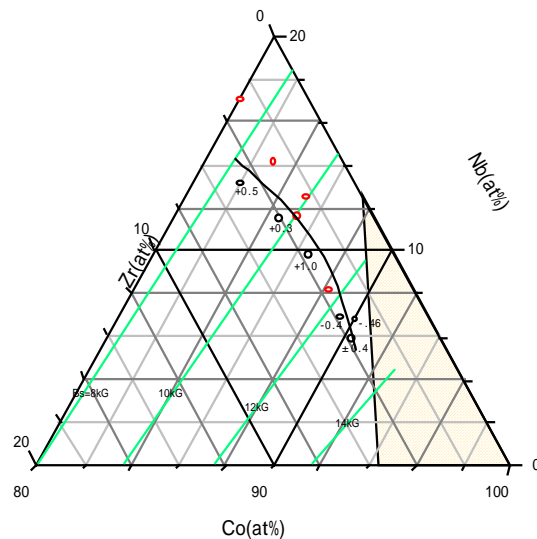


図 2 薄膜の合金組成と磁歪および飽和磁束密度の関係

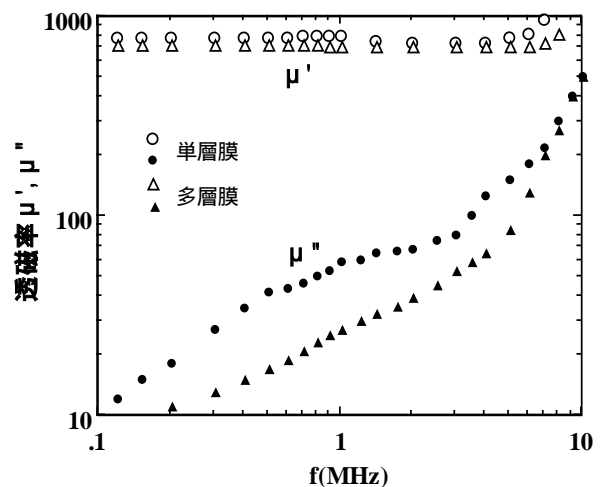


図 3 単層膜と多層膜の透率磁率の周波数依存性を比較

磁壁の振動による共振とされており、共振周波数は膜厚と膜幅に依存する。一方、4 磁性層の多層膜は  $\mu'$  が 720 と低い が、 $\mu''$  は 1MHz から 100MHz の範囲で 8 から 500 まで滑らかに増加し、中間の周波数帯では損失成分の  $\mu''$  は単層膜の 1/2 まで低い 値となっている。その理由として、隣接する各磁性層のうず電流が中間絶縁層とした  $\text{SiO}_2$  によって遮断され、多層膜全体のうず電流による損失が低減されたものと考えられる。このような結果から、数 MHz 帯に適用可能な低損失薄膜インダクタ得るには多層膜磁心の採用が有効であることがわかる。

目標とする  $1\mu\text{H}$  のインダクタンスを得るために、透磁率 600 の磁心を用いると仮定すると、磁心の厚さは少なくとも  $6\mu\text{m}$  必要となる。そこで、組成の異なる Co-Nb-Zr ターゲットを用いて磁性層 1 層当たりの厚さを  $0.5\mu\text{m}$ 、 $\text{SiO}_2$  の厚さを  $0.02\mu\text{m}$  として磁性層と  $\text{SiO}_2$  を交互に積層し、磁性層の総膜厚が  $6\mu\text{m}$  となるように 12 周期の多層膜 (6 磁性層) を作製し、種々の磁気特性を比較した。その結果を表 2 に示す。表において、 $\text{Co}_{89.3}\text{Nb}_{7.0}\text{Zr}_{3.7}$  を用いて作製した多層膜がもっとも目標値に近い 特性を示すことがわかる。

表 2 幅 0.5mm、磁性層の総厚  $6\mu\text{m}$  の多層膜磁心の特性比較

ターゲット組成	Bs	( $\times 10^{-6}$ )	Hc(Oe)	$\mu'$	Q(=1/tan )	$\mu' \times Q (\times 10^4)$
目標値	>1.20	$\pm 0.2$	< 0.5	600	120	-----
$\text{Co}_{81.9}\text{Nb}_{13.2}\text{Zr}_{4.9}$	1.06	+0.5	0.4	461	127	5.8
$\text{Co}_{84.4}\text{Nb}_{11.6}\text{Zr}_{4.0}$	1.20	+0.3	0.3	453	94	4.3
$\text{Co}_{86.8}\text{Nb}_{9.7}\text{Zr}_{3.5}$	1.27	+1.0	0.3	476	149	7.1
$\text{Co}_{89.3}\text{Nb}_{7.0}\text{Zr}_{3.7}$	1.32	-0.4	0.3	582	122	7.1
$\text{Co}_{90.3}\text{Nb}_{5.9}\text{Zr}_{3.8}$	1.38	+4.0	0.3	548	121	6.6

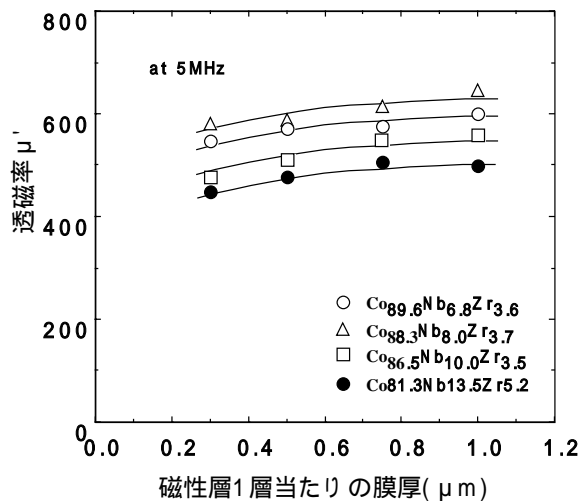


図 4 - a 多層膜の透磁率におよぼす磁性層 1 層あたりの膜厚の影響

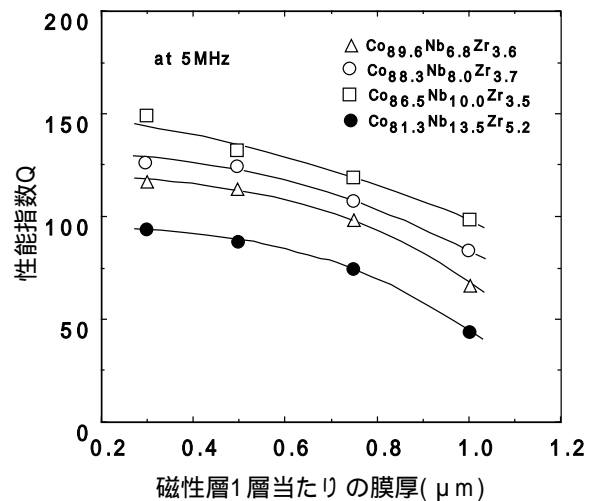


図 4 - b 多層膜の性能指数 Q におよぼす磁性層 1 層あたりの膜厚の影響

表中の特性をさらに改善することを目的に、つぎに、Co-Nb-Zr 多層膜を構成する 6 層の磁性層の組成および 1 層当たりの厚さ膜厚を変えて種々の多層膜を作製し、5MHz における軟磁性特性の比較を行った。その結果を図 4 に示す。図 4-a に示す透磁率実数部  $\mu'$  は、組成に関係なく薄膜が  $0.2$  から  $1.0\mu\text{m}$  まで増大するのに伴って増加し、 $\mu' / \mu'' = 1/\tan$  で定義される損失係数 Q は減少の傾向を示す。その変化率

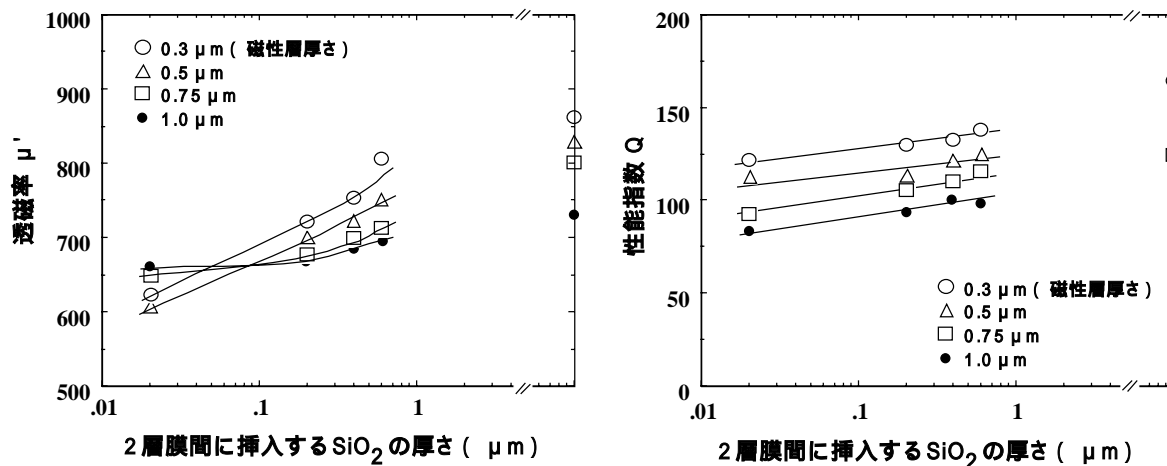


図5 2層膜間に挿入するSiO<sub>2</sub>の厚さと多層膜の透磁率および性能指数Qの関係

は、 $\mu'$ で+1~20%、Qで-35~50%である。薄膜インダクタの磁心には、透磁率 $\mu'$ と、損失係数Qの値がともに高いことが要求されるが、軟磁性材料の性能評価において $\mu' \times Q$ の値が評価の目安とされている。図4の $\mu'$ およびQから $\mu' \times Q$ の値を計算すると、膜の組成がCo89.6Nb6.8Zr3.6、1層当たりの厚さが0.3 $\mu\text{m}$ の場合に88500の最高値であった。したがって、この条件で作製した多層膜磁心を薄膜インダクタに採用することにした。

これまでの実験で、磁性層と中間絶縁層SiO<sub>2</sub>のそれぞれの厚さを一定にして積層数を増して行くと、 $\mu'$ およびQの値が低下してゆくことが知られている。一例として、もっとも単純な厚さ0.3 $\mu\text{m}$ 磁性膜と厚さ0.03 $\mu\text{m}$ のSiO<sub>2</sub>からなる2層膜の $\mu' \times Q$ の値は120000である。この優れた2層膜の特性を多層膜に反映させるために、新規の多層膜作製法を検討した。すなわち、SiO<sub>2</sub>の厚さを0.02 $\mu\text{m}$ に固定し、磁性層の厚さを0.3から1.0 $\mu\text{m}$ まで変化させた2層膜をベースにそれぞれの2層膜間に第2の中間絶縁層として0.02 $\mu\text{m}$ 、0.2 $\mu\text{m}$ 、0.4 $\mu\text{m}$ および0.6 $\mu\text{m}$ のSiO<sub>2</sub>を挿入した多層膜を作製し、異なる積層形態の多層膜の5MHzにおける軟磁性特性を比較した。その結果を図5に示す。図において、2層膜間に挿入したSiO<sub>2</sub>の厚さを増してゆくと、 $\mu'$ およびQは増加してゆくのわかる。磁性層の厚さ0.3 $\mu\text{m}$ の場合において、従来の積層法による多層膜では $\mu'$ が600、Qが120であるのに対して、2層膜間に0.6 $\mu\text{m}$ のSiO<sub>2</sub>を挿入した多層膜の $\mu'$ は870と45%の増加、Qは140と12%の増加が認められる。このように、新規の積層法によって薄膜インダクタの磁心の特性を向上させる手段をみいだすことができた。この方法で積層した多層膜を薄膜インダクタの磁心として活用する場合に、閉磁路型より開磁路型の磁心とした方がより有効である。

### - 3 多層膜薄膜磁心の熱的安定性

Co-Nb-Zr合金ターゲットとSiO<sub>2</sub>のターゲットおよび多元スパッタ装置を用いて磁性層の組成や積層条件を変えて、膜幅0.5mm、膜長24mm、磁性層の総厚6 $\mu\text{m}$ として16種の多層膜を作製した。これらの膜を、フォトリソットの硬化に要する熱処理と同等の200 $\times$ 1時間保持の処理をしたのち、熱処理前後の磁気特性を比較した。表3および4に、1.2T以上の飽和磁束密度を示す磁性体を用いた場合の結果を示す。表中の磁性膜/SiO<sub>2</sub>( $\mu\text{m}$ )は多層膜を構成する磁性層と電流を抑制するための絶縁層の厚さを表す。熱処理後、透磁率 $\mu'$ は表3、4の比較からいずれの試料も変化率は-5~-10%の範囲にある。磁性体の効率を示すQ値の変化率( $Q/Q_0$ )はCo量によって変化し、磁歪が $4.0 \times 10^{-6}$ のCo90%合金膜の-5~-10%に対して、 $-0.4 \times 10^{-6}$ のCo89.3%合金の方は-15~-51%と変化率が大きかった。ま

た、表中の試料7は熱処理の前と後で $\mu' > 650$ 、 $Q > 120$ の高い値を保ち $Q$ の変化率も-12%と比較的小さい。この試料の基本構造は試料6と同じものであるが、多層化の過程で周期的に厚さ $0.4\ \mu\text{m}$ の中間層を挿入したものである。したがって、合金組成の選択と中間層の挿入が $\mu'$ と $Q$ を増加と多層膜の熱的安定性向上に有効であることが明らかになった。

表3 熱処理前の多層膜積層条件と軟磁気特性

試料	Co(at%)	磁性膜/SiO <sub>2</sub> ( $\mu\text{m}$ )	$\mu'$	$Q$	$\mu'Q$ ( $\times 10^4$ )	多層膜の ( $10^{-6}$ )
1	90.0	(1.0/0.02) $\times$ 6	559	76	4.25	+4
2	90.0	(0.5/0.02) $\times$ 12	561	125	7.01	
3	90.0	(0.3/0.02) $\times$ 20	546	133	7.28	
4	89.3	(1.0/0.02) $\times$ 6	603	88	5.33	-0.4
5	89.3	(0.5/0.02) $\times$ 12	562	135	7.62	
6	89.3	(0.3/0.02) $\times$ 20	586	156	9.14	
7	89.3	(0.3/0.02) $\times$ 20 中間層0.4	657	149	9.79	

表4 熱処理後の多層膜積層条件と軟磁気特性と変化率

試料番号	Co(at%)	磁性膜/SiO <sub>2</sub> ( $\mu\text{m}$ )	$\mu'$	$Q$	$\mu'Q$ ( $\times 10^4$ )	$Q$ の変化率 (%)
1	90.0	(1.0/0.02) $\times$ 6	539	69	3.72	-10
2	90.0	(0.5/0.02) $\times$ 12	532	112	5.96	-10
3	90.0	(0.3/0.02) $\times$ 20	492	127	6.25	-5
4	89.3	(1.0/0.02) $\times$ 6	578	43	2.46	-51
5	89.3	(0.5/0.02) $\times$ 12	567	108	6.13	-20
6	89.3	(0.3/0.02) $\times$ 20	552	131	7.23	-16
7	89.3	(0.3/0.02) $\times$ 20 中間層0.4	678	127	8.6	-12

#### - 4 薄膜磁心のまとめ

高周波損失の少ない薄膜磁心を得るために、原料となるターゲットの組成、成膜後の組成および多層膜の積層条件の検討を行った。その結果、1層の厚さ $0.3\sim 0.5\ \mu\text{m}$ のCo<sub>88.3</sub>Nb<sub>8.0</sub>Zr<sub>3.7</sub>およびCo<sub>89.6</sub>Nb<sub>6.8</sub>Zr<sub>3.6</sub>のCo-Nb-Zr系アモルファス合金薄膜と厚さ $0.02\ \mu\text{m}$ のSiO<sub>2</sub>からなる多層膜は、飽和磁束密度が1.2Tで飽和磁歪定数が0に近く、透磁率は約550および $Q (=1/\tan \delta)$  ~130の特性を示すことから、薄膜インダクタの磁心に採用することにした。ちなみに、~MHz帯で使用可能なチップインダクタに用いるフェライト磁心と多層膜磁心の5MHzにおける特性を表5に示す。

表5 多層膜およびフェライト磁心材料の特性比較

磁心材料	飽和磁束密度 (T)	透磁率 $\mu'$	透磁率 $\mu''$	$\tan \delta / \mu'$	固有抵抗 ( $\Omega$ )
多層膜A	1.2	560	4.7	$1.49 \times 10^{-5}$	~400
多層膜B	1.2	550	4.2	$1.38 \times 10^{-5}$	~400
Ni-Zn フェライト1	0.45	600	200	$50 \times 10^{-5}$	$> 10^5$
Ni-Zn フェライト2	0.4	250	25	$4 \times 10^{-5}$	$> 10^5$

この表は、多層膜と同等な透磁率を示すフェライト材料の特性比較である。両者の特徴はまず、飽和磁束密度の値においては3対1と多層膜が優れている。これに対して、固有抵抗の値はフェライトの方が2桁以上高く高周波損失の抑制に優れている。しかし、総合的な評価としては、飽和磁束密度、透磁

率 $\mu'$ が大きく、損失係数 $\tan \delta / \mu'$ が小さい多層膜が優れている。このように、5MHzを中心とする周波数帯で使用可能な多層膜磁心を実現することができた。

#### - 5 薄膜インダクタの作製

薄膜インダクタは、電源の小形化や軽量化のみならず、回路基板上に直接形成させる集積化の要求が高まるなかで提案<sup>A)B)</sup>されたものである。具体的に薄膜で形成させる平面インダクタの基本構造の提案は、白江らによってなされプレーナインダクタおよびプレーナトランスと称された<sup>C)D)</sup>。かれらは、プレーナインダクタのコイルをフープ型、つづら折れ型、スパイラル型の3タイプに分類している。

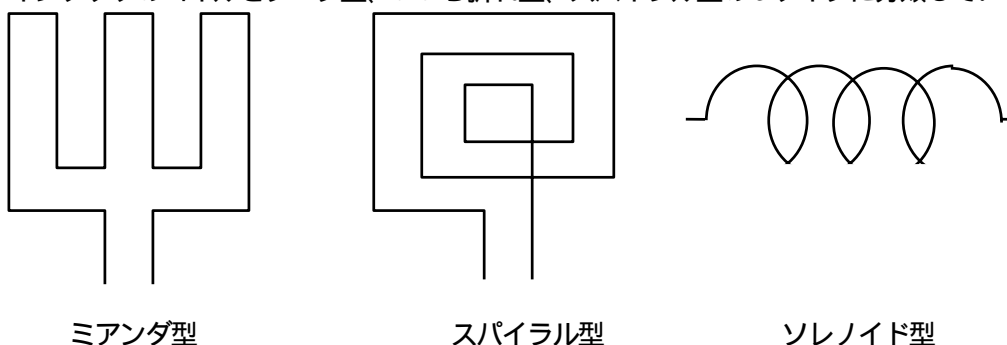


図1 代表的コイルの概念図

これらのタイプのうち、同じ占有面積で最も大きなインダクタンスを得ることができるのはスパイラル型である。しかし、上の3タイプのコイルはコイルが平面に形成されるものであるが、磁心を芯にして導体を立体的に形成する巻き線(ソレノイド)型がさらに大きなインダクタンスを得ることができる。したがって、薄膜インダクタの試作には、スパイラル型と巻き線(ソレノイド)型を採用することにした。

#### 各種の薄膜インダクタの特徴

占有面積を一定にして比較

##### 1. ミアンダ型

薄膜平面インダクタとして、最初に提案された型  
簡素な閉磁路構造で、許容電流を大きくできる特徴があるが、大きなインダクタンスを得るには不向き。

##### 2. 巻き線(ソレノイド)型

他のタイプに比して、強い励磁磁界を発生できる構造で、小型化に適している。しかし、磁心を容易に磁気飽和させるため、大きな許容電流を必要とする用途に不向き。もっとも高い効率を示すが開磁路タイプのため、用途が限られる。

##### 3. 渦巻き(スパイラル)型

性能面では中間的存在で、小型の閉磁路タイプが得られ易い。

FES システムの電気刺激装置、感温感圧センサシステムにおける部分電源として応用可能な 1W 級の

DC-DC コンバータに対応可能なインダクタを想定し、薄膜インダクタの仕様を設定した。

表1 薄膜インダクタの目標特性

インダクタンス	コイルDC抵抗	性能指数Q	最大許容電流
1 $\mu$ H	1 以下	15	0.5A

### 巻き線（ソレノイド）型

このタイプのインダクタは、磁心の外周にコイルが巻かれる内鉄型である。ソレノイド型のインダクタは構造上それ以外の型に比べて磁心を効率良く励磁できるため、このタイプに着目した。試作した薄膜インダクタは、コイル巻き数が40回と60回の2通りで、その仕様を表2に示す。なお、ここでの試作は、共同研究の（財）電気磁気材料研究所が担当した。

表2 巻き線（ソレノイド）型薄膜インダクタの仕様

項目	試作1	試作2
コイル形状	巻き線型	
コイル材質	Cu スパッタ膜	
コイル巻き数	40 ターン	60 ターン
コイルのライノ/スペース	90 $\mu$ m / 20 $\mu$ m	
コイル膜厚	8 および 20 $\mu$ m	10 $\mu$ m
磁心寸法	0.9mm $\times$ 4.6mm	0.9mm $\times$ 6.9mm
磁心材質	Co-Nb-Zr / SiO <sub>2</sub> 多層膜	
磁心膜厚	7 $\mu$ m	6 $\mu$ m
インダクタの寸法	L5.0mm $\times$ W1.1mm	L7.4mm $\times$ W1.5mm

作製にあたっては、以下の工程で行った。その概略を下に示す。

#### ソレノイド型薄膜インダクタの積層工程の概略

1. 下部コイル層の成膜
2. 下部絶縁層形成
3. 多層膜磁心の成膜
4. 上部絶縁層形成
5. 上部コイル層の成膜

成膜の基板として、コーニング社 7059 のガラス基板を用い、その寸法は厚さ 0.7mm で 50mm 角のものである。コイル層の形成には直径 3 インチの無酸素銅 (Cu) のターゲットを用い、RF スパッタ装置により、Ar 雰囲気中で成膜しその上に酸化防止を目的に Au コートした、また絶縁層の形成には AZ 系フォトレジストを 200~210 で固化させた層と SiO<sub>2</sub> ターゲットを用いて Ar+O<sub>2</sub> の雰囲気中で成膜した SiO<sub>2</sub> 膜の 2 重層にした、磁心の成膜は前章で述べたとおりである。各層の形成加工は表3に示すフォトリソグラフィー法によった。

表3 フォトリソグラフィー法による薄膜微細加工工程

1	フォトマスク作製	積層する各層のフォトマスク設計/製作
2	基板洗浄	脱脂、洗浄
3	感光性レジスト塗布	AZ 系フォトレジストをスピナーで塗布
4	レジスト液の固化	80 $\times$ 30 分
5	パターニング	露光/現像
6	成膜	RF スパッタ法
7	成形	リフトオフ法



試作したインダクタのうち、コイル巻き数 60 ターンの場合のインダクタンス  $L$ 、損失等価抵抗  $R$  および性能指数  $Q$  の周波数依存性を電気特性を図 2 に示す。図中、左側はコイルの膜厚  $8\ \mu\text{m}$ 、右側は  $20\ \mu\text{m}$  の場合である。インダクタンスは、いずれの場合も  $1\sim 1.2\ \mu\text{H}$  で、その周波数依存性も類似している。しかし、損失等価抵抗においては、コイルの膜厚が  $8\ \mu\text{m}$  の場合は  $5\ \text{MHz}$  で  $5.0$ 、 $20\ \mu\text{m}$  の場合には  $2.5$  であるため  $Q=2\ fL/R$  で定義される  $Q$  の値はそれぞれ  $6.3$  および  $15.1$  である。また、 $Q_{\text{max}}$  の値は  $6.3$  および  $22$  で、そのときの周波数はともに  $20\ \text{MHz}$ 、共振周波数はいずれも約  $80\ \text{MHz}$  である。したがって、コイル膜厚が厚いほど抵抗  $R$  が小さくなり高い  $Q$  を示すインダクタが得られることがわかる。以上の結果から、目標値  $L=1\ \mu\text{H}$ 、直流抵抗  $R_{\text{dc}}=1$  以下、 $Q=15$  のうち、 $L=1\ \mu\text{H}$ 、 $Q=15$  に到達することができた。

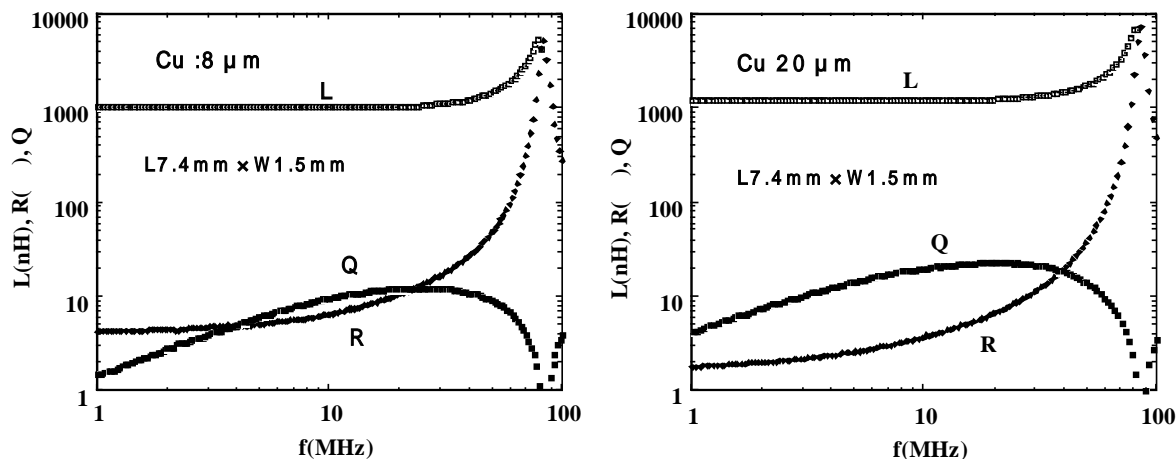


図2 コイル膜厚の異なる 60 ターンコイルインダクタのインダクタンス  $L$ 、損失等価抵抗  $R$  および性能指数  $Q$  の周波数依存性

しかし、直流抵抗  $R_{\text{dc}}$  は目標値  $1$  以下に対してコイルの膜厚が  $20\ \mu\text{m}$  の場合でさえ、 $3.3$  と  $3$  倍以上高い値であるため、 $60$  ターンコイルでは、コイル膜厚を  $60\ \mu\text{m}$  以上に厚くする必要がある。

試作したインダクタの許容電流を推測するための試験を行った。図 3 に、 $60$  ターンのソレノイド型インダクタに直流を重畳し、 $5\ \text{MHz}$  において電流  $I_{\text{bias}}$  に対するインダクタンスの変化を調べた結果を示す。

一般に、電流の変化に対してインダクタンスの変化が  $10\%$  以内の範囲を許容電流の範囲とみなされている。図から、その範囲における電流の最大値は  $0.15\ \text{A}$  であることがわかる。この値は、磁心が磁気飽和する異方性磁界 ( $H_k=B_s/\mu_e$ ) とコイルに  $0.15\ \text{A}$  の電流を通して発生する磁界 ( $H=0.2\ n_i$ ,  $n$  はコイルの単位長さ当たりの巻き数) とほぼ一致している。

以上の結果から、ソレノイド型のインダクタは構造上それ以外の型に比べて磁心を効率良く励磁できるため、インダクタンスならびに  $Q$  の高い値を得ることが比較的容易である

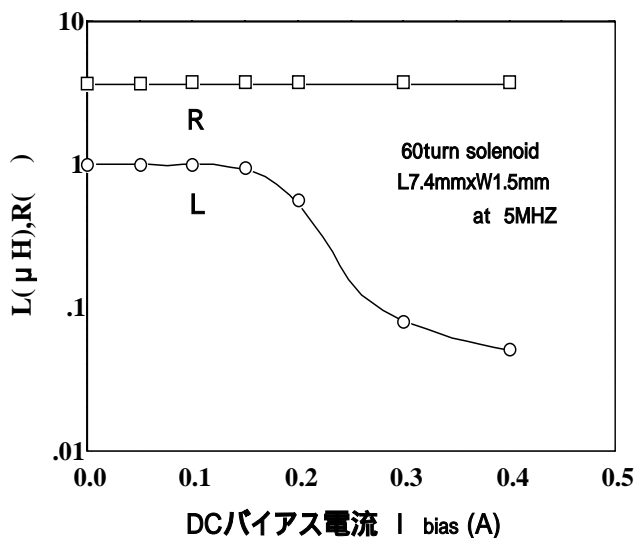


図3  $60$  ターンソレノイド型インダクタの DC バイアス電流とインダクタンスおよび損失等価抵抗の関係

ことは利点であるが、その反面高い値のインダクタンスならびにQの値を優先すると、高い電流値が期待できなくなる点に留意する必要がある。

### スパイラル型

さきのソレノイド型の試作において、インダクタンスおよびQ値の目標値に到達することができた。しかし、直流バイアス電流  $I_{bias}$  においては目標値の1/3以下であった。そこで、ソレノイド型と同様なインダクタンスならびにQの高い値を得ることと同時に  $I_{bias}$  も高めることを目的にスパイラル型の薄膜インダクタ試作を行うことにした。試作にあたって、平成11年度に導入した電磁場解析シミュレーションソフトウェア (Maxwell 3D field simulator) を用い、共同研究の宮城県産業技術総合センターが担当して設計を行った。設計の方法および結果については、設計に関する章で述べた通りである。ここでの試作は、性能を重視したためサイズは目標値より大きくした。設計したスパイラル型インダクタの概略図を図4に、試作の条件を表4、5に示す。

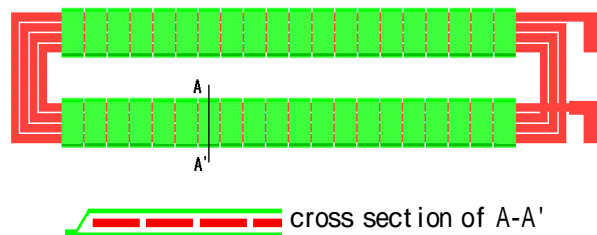


図4 image of the designed spiral inductor

表4 スパイラル型薄膜インダクタの仕様

項目	試作1	試作2	試作3	試作4
コイル形状	スパイラル			
コイル材質	Cu スパッタ膜			
コイル巻き数	4 ターン			
コイルのライン/スペース	175 $\mu$ m / 30 $\mu$ m			
コイル膜厚	9 $\mu$ m	21 $\mu$ m	29 $\mu$ m	15 $\mu$ m
磁心寸法	0.99mm $\times$ 0.49mm		0.99mm $\times$ 0.49mm	
多層膜磁心材質	Co-Fe-Si-B / SiO <sub>2</sub>		Co-Nb-Zr / SiO <sub>2</sub>	
磁心膜厚	6 $\mu$ m			8 $\mu$ m
インダクタの寸法	L12.4mm $\times$ W2.3mm			

また、作製にあたっては、以下に示す工程で行った。

表5 スパイラル型薄膜インダクタの積層工程の概略

1. 下部磁心の成膜
2. 下部絶縁層形成
3. コイルの成膜
4. 上部絶縁層形成
5. 上部磁心の成膜

各層の積層における成膜および成膜後の加工の方法は、上で述べたソレノイド型インダクタの場合と同様の方法で行った。

図5に、試作したインダクタの写真を示す。図中、上下に21本の縦線が認められるのは、磁心のわず電流損失を抑制するために、磁心を20等分に分割した磁心間のスペースである。

インダクタの電気特性L、R、Qの周波数依存性を図6に示す。図において、インダクタンスLは10MHzまでほぼ一定値1  $\mu$ Hである。損失等価抵抗Rは、周波数の上昇に伴い



図5 最初に試作したスパイラル型薄膜インダクタの写真

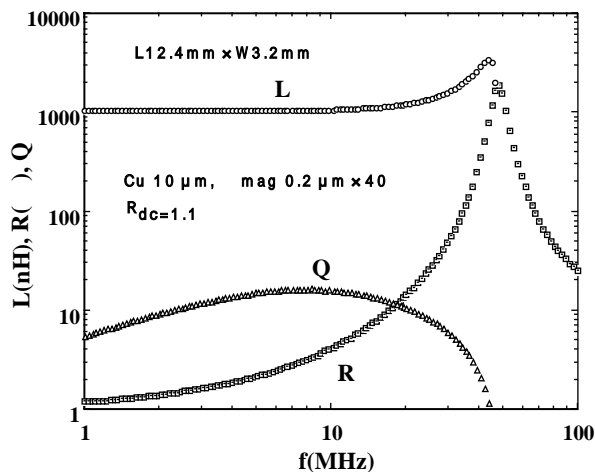


図6 L12.4mm × W3.2mm の薄膜インダクタの電気特性

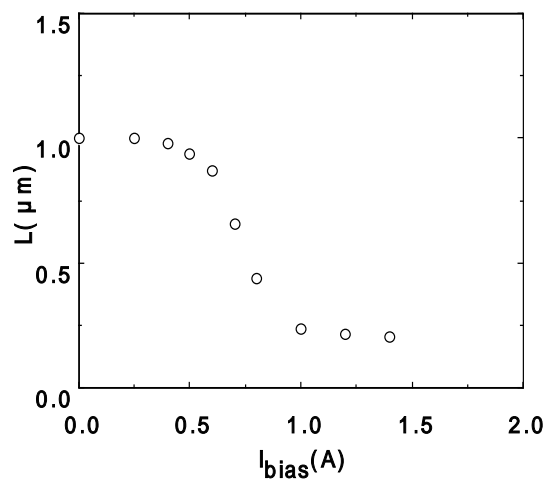


図7 L12.4mm × W3.2mm の薄膜インダクタの直流重畳特性

増加し、5MHz で 2.1 を示す。このときの Q 値は 14.5、Q の最大値  $Q_{max}$  は 8~9MHz で 15 である。ついで、直流出力電流の許容範囲を知るために、インダクタに 5MHz で 10mA の電流を通電し、直流重畳特性を調べた結果を図7に示す。インダクタンスは、直流重畳  $I_{bias}$  の増加に伴い減少し、5MHz から急激に減少する。一般に、インダクタンスが 10% 以内の変化をもって電流の許容範囲とされていることから、このインダクタにおいては、図から 0.55A であることがわかる。以上の結果から、リード線および電極パッドを除く寸法 L12.4mm × W2.3mm の薄膜インダクタにおいて、これらの値は、さきに掲げた目標値にほぼ到達している。なお、今回の試作では、コイルの膜厚を 10  $\mu\text{m}$  とした結果、Q 値が 15 程度にとどまった。しかし、コイルの膜厚をさらに厚くすることで、コイルの直流抵抗の低減と Q 値の増大は確実に期待できる。なお、占有面積が約 30mm<sup>2</sup> と大きすぎることから、今後の試作は、占有面積を約 10mm<sup>2</sup> としたものについて行うことにした。

#### 磁場シミュレーションによる薄膜インダクタの設計

薄膜インダクタの設計は、問題点の抽出と改善策の検討に始まり詳細な形状パラメータの決定に至るまでを磁場シミュレータを活用することにより効果的に行った。使用した磁場シミュレータは、ANSOFT 社の Maxwell 12D, Maxwell 13D である。

薄膜インダクタの構造は、スパイラル型、ミアンダ型、スパイラル型の特性比較をシミュレーションによって行い、DC 抵抗成分や漏れ磁束を比較的小さくすることのできるコイル上下を軟磁性体ではさんだ構造の平面スパイラル型を採用することとした。

##### - 1 スパイラルインダクタ (サイズ 12 × 3mm<sup>2</sup>) の設計

###### (a) 上下磁性体の閉磁路効果、コイルターン数依存 (2次元シミュレーション)

図1に示すようにインダクタ断面図をモデルとした2次元での解析を行った。スパイラルコイルの上下に幅 2.8mm 長さ 10mm の磁性体を配置した平面型スパイラルインダクタを想定した。コイルは長方形のスパイラルコイルとしコイル幅を 2.6mm (片側の導体ライン部分の幅は 0.8mm) と固定し、導体ラインの幅を巻き数に応じて変化させてシミュレーションを実施した。表1に計算に使用したパラメータを示す。さらに、励磁効率が良いと考えられる図1に示す閉磁路構造についても同様に解析を行った。

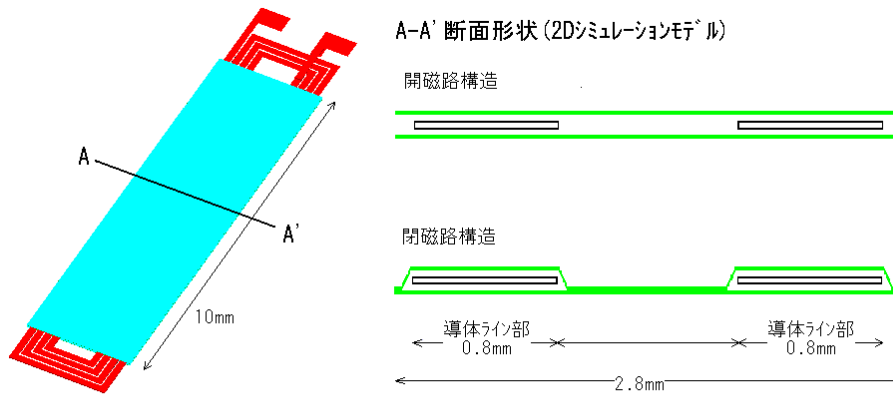


図1： 2次元シミュレーションモデル

表1： シミュレーションパラメータ

コイルパラメータ

コイル形状	導体厚	電気伝導率	ターン数	導体ライン幅	スペース幅	サイズ
スパイラル	10 $\mu\text{m}$	$5.8 \times 10^7 \text{ S/m}$	variable	variable	30 $\mu\text{m}$	幅2.6mm x 長さ12mm

磁性体パラメータ

磁性体配置	電気伝導率	膜厚	比透磁率	飽和磁束密度	サイズ
導体上下 (開/閉磁路)	$1.0 \times 10^6 \text{ S/m}$	7.5 $\mu\text{m}$	600	1 T	幅2.8mm x 長さ10mm

強制電流周波数: 5 MHz

ターン数をパラメータとした解析の結果を図2に示す。図でOPENは開磁路構造の結果を表し、CLOSEは閉磁路構造の結果を表す。インダクタンス $L$ は(ターン数)<sup>2</sup>に、定格電流(磁性体が磁気飽和する電流値で定義)  $I_{\text{bias}}$ は(ターン数)<sup>-1</sup>に比例する。これは発生する磁束が単位長さあたりのターン数に比例するためと考えられる。また、DC抵抗成分  $R_{\text{DC}}$ は(ターン数)<sup>2</sup>に比例することがわかる。これはコイル幅を固定しているため、コイル導体ライン総長がターン数に比例しコイル導体断面積がターン数に反比例するためと考えられる。開/閉磁路構造の比較を行うと、反磁界の低減効果および磁路が短くなる効果の為に閉磁路構造においてはより少ないターン数でインダクタンス $L$ を得ることができる事がわかる。すなわち、閉磁路構造においては少ないターン数で所望の $L$ を得ることができるため  $R_{\text{DC}}$ を小さくすることが可能である。このことは、 $R_{\text{DC}}$ の低減に対して有効であると考えられる。さらに、閉磁路構造はコイルのAC損  $R_{\text{AC}}(\text{coil})$ が小さいことがわかる。この理由は、上下を渡る磁束が主として磁性体の接続部を通ること

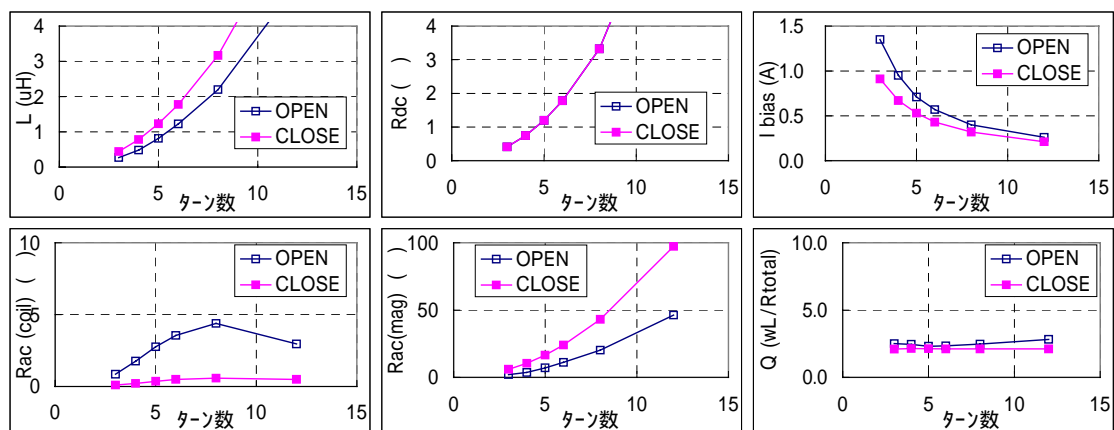


図2： 開磁路(OPEN), 閉磁路(CLOSE)比較 --- 2Dシミュレーション---

によりコイルを垂直に鎖交する磁束が減少したためと解される。

以上の結果から、閉磁路構造を採用することが好ましいと考えられ、その際には、コイルターン数4、コイル膜厚  $10\ \mu\text{m}$  で  $L=0.8\ \mu\text{H}$ 、 $R_{DC}=0.8$ 、 $I_{bias}=0.6\text{A}$  のインダクタが実現可能となること、シミュレーションによって明らかとなった。

(b) 磁性体損失低減の検討 (3次元シミュレーション)

上記のシミュレーションによる検討によって、目標とする仕様をほぼ満たすインダクタの形状仕様が明らかとなったが、性能指数  $Q$  が低いことが問題である。この原因は、図2からも明らかのように、磁性体の渦電流損失が大きいことが主因であり、この損失を低減することが  $Q$  の改善に必須である。そこで、さらにシミュレーションを行った。

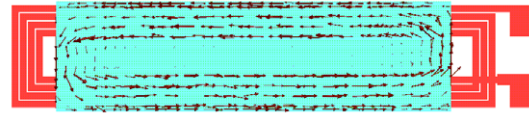
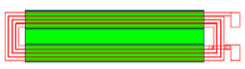




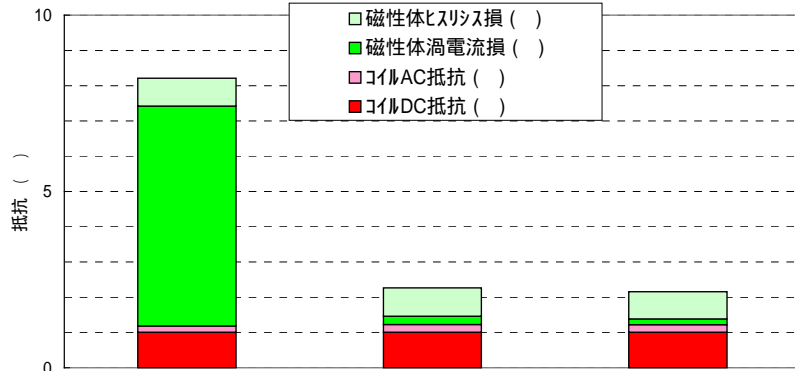
図3 磁性体面内の渦電流分布

磁性体渦電流の低減を検討するに際して、まず磁性体に発生している渦電流の分布をシミュレーションによる解析により求めた。結果を図3に示す。図からわかるように、磁性体の渦電流は磁性体面内をほぼ導体ラインに沿って流れていることが明らかとなった。磁性体に発生する渦電流を低減するには、磁性体に発生する渦電流がループを構成しないように、磁性体を分割し電氣的に絶縁することが有効であると解されたため、磁性体を面内で分割することを検討した。

表2 : 磁性体面内分割効果 ---3Dシミュレーション---

磁性体形状				
		(1 x 1)	(2 x 1)	(2 x 20)
電気特性	インダクタンス L (μH)	1.0	1.0	1.0
	抵抗 ( )	8.2	2.3	2.2
	コイルDC抵抗 ( )	1.0	1.0	1.0
	コイルAC抵抗 ( )	0.2	0.2	0.2
	磁性体渦電流損 ( )	6.2	0.2	0.2
	磁性体ヒスリス損 ( )	0.8	0.8	0.8
	性能指数 Q	4	14	15

パラメータ  
 [コイルパラメータ]  
 コイルサイズ 3x13mm  
 コイル形態 4ターンスパイラル  
 ラインスペース 175/30 μm  
 コイル厚 10 μm  
 導電率  $5.8 \times 10^7\ \text{S/m}$   
 [磁性体パラメータ]  
 膜厚 7.5 μm  
 形態 閉磁路 (gap1um)  
 $\mu' / \mu''$  (x) 600/20  
 (y) 10/0  
 (z) 600/20  
 導電率 (x)  $1.0 \times 10^6\ \text{S/m}$   
 (y)  $1.0 \times 10^6\ \text{S/m}$   
 (z) 0 S/m  
 [周波数] 5 MHz



解析は、磁性体は閉磁路構造を有する構成とし、上下の磁性体の分割および配置が異なる他は上記と同様なパラメータを使用した。解析結果を表2に示す。ここで、磁性体面内分割(1x1)は図1に表現される磁性体分割をしていない構成、同(2x1)は磁性体の長手方向に2分割した構成、同(2x20)はさらに長手方向に直角に20分割した構成を表している。表からわかるように、前述の推察通り、磁性体の長手方向に2分割した構成(2x1)は分割していないもの(1x1)に比べ磁性体の渦電流に由来する抵抗成分の低減が顕著である。また、長手方向に直角に20分割した構成(2x20)でも若干の効果があること

もわかった。以上により、目標とする特性を有するインダクタを実現できる設計パラメータを導出することができた。その構造、パラメータおよび予想される特性を図4および表3、4に示す。

ここで求めたパラメータ、構造を使って、後述のように、実際にインダクタの試作を行った。試作したインダクタの実測値とシミュレーションによる設計値(予測値)とを比較したものを表4に示す。表に示される様に、シミュレーションにより、かなりの精度で実際のインダクタの特性を予測できていると思われる。

以上のように、インダクタの設計に磁場シミュレーションを活用することによって、効果的、効率的な開発が可能となった。すなわち、目標特性を満たすための設計パラメータ範囲をある程度絞ることができるため効率的な開発が可能となり、さらに、問題点を事前に抽出し解決策を探ることも応用できるため効果的な開発を行うことが可能となった。

表3: 設計パラメータ

ターン数	導体厚み	導体ライン幅	スペース幅	コイル外寸 (パッド含む)	磁性体 面内分割
4	10 $\mu\text{m}$	175 $\mu\text{m}$	30 $\mu\text{m}$	2.6 x 13.1mm	(2 x 20)

表4: 予測値(シミュレーション)と実測値の比較

	L	R (DC)	Q	$I_{\text{bias}}$
予測値(シミュレーション)	0.98 $\mu\text{H}$	1.05	15.3	0.5 A
試作インダクタ実測値	0.9 $\mu\text{H}$	1.1	13	0.55 A

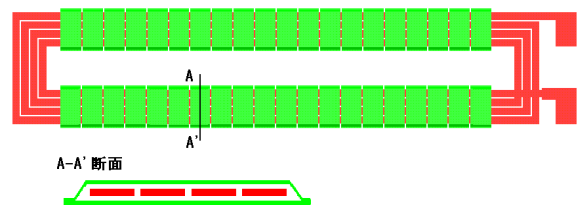


図4 設計したインダクタの構造

## - 2 スパイラルインダクタ(面積 $9\text{mm}^2$ , $4\text{mm}^2$ )の設計

前項で設計したインダクタは特性的に目標とする仕様を満たすものであったが、電源用のコントロールICは数mm角程度に小型化が進展しており、この点からもさらなる小型化が求められた。そこで、コントロールICと同程度以下の面積を目標として、前項と同様の手法によって面積が $9\text{mm}^2$ あるいは $4\text{mm}^2$ の薄膜インダクタの設計を行った。

設計パラメータ決定の制約条件として面積を付与したため、まず図5に示すアスペクト比(長さ/幅)の異なるインダクタについて、それぞれシミュレーションモデルを作成し、表5に示すシミュレーションパラメータにもとづいて磁場シミュレーションを実施することにより、電気特性のターン数依存性を算出した。面積が $9\text{mm}^2$ の結果を図6に、 $4\text{mm}^2$ の結果を図7に示す。 $9\text{mm}^2$ あるいは $4\text{mm}^2$ の場合も定性的には同様な振る舞いを示す。すなわち、インダクタンスL, 飽和電流 $I_{\text{bias}}$ , コイルDC抵抗 $R_{\text{DC}}$ 間のトレードオフのた

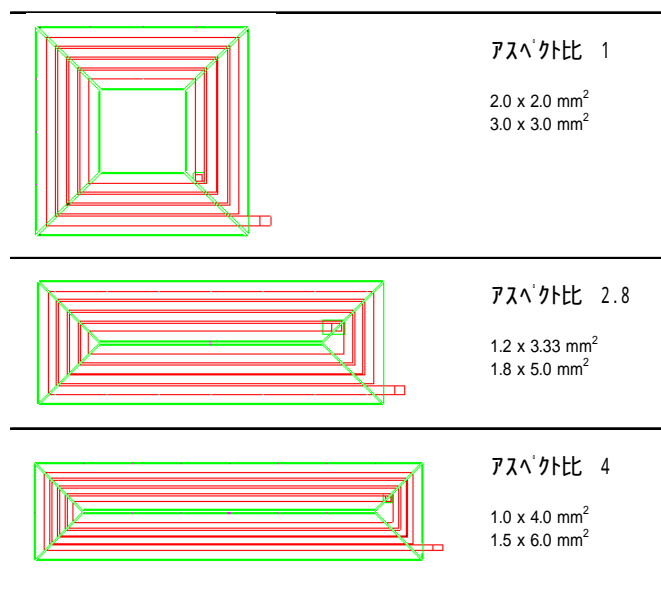


図5 :  $4\text{mm}^2$ ,  $9\text{mm}^2$  インダクタ アスペクト比依存 (シミュレーションモデル) 説

めに最適なアスペクト比を決定することは難しいが、これらの結果に加えて、アスペクト比が大きすぎる場合にはDC抵抗成分が増加することや、アスペクト比が1（正方形）に近い場合はインダクタ作製時に磁性体成膜工程が増えることも考慮すると、アスペクト比としては3~4程度が好ましいと考えられるため、この条件でさらに磁場シミュレーションを行い、薄膜インダクタの設計を実施した。また、図6、7の比較や表6の特性予測からも理解できるように、インダクタンスと飽和電流の両立といった観点から見ても特性的には面積が大きいほうが有利である。逆にいうと、インダクタの小面積化は電気特性的にはかなり厳しい方向であることが明確となった。

表5 : シミュレーションパラメータ

[ コイルパラメータ ]	
サイズ	4mm <sup>2</sup> , 9mm <sup>2</sup>
コイル形態	平面スパイラル
ライン/スペース	variable / 30 μm
コイル厚	10 μm
導電率	5.8 x 10 <sup>7</sup> S/m
[ 磁性体パラメータ ]	
膜厚	10 μm
形態	閉磁路 (gap1um)
μ' / μ'' (x)	600/20
(y)	10/0
(z)	600/20
導電率 (x)	1.0 x 10 <sup>6</sup> S/m
(y)	1.0 x 10 <sup>6</sup> S/m
(z)	0 S/m
[ 周波数 ] 5 MHz	

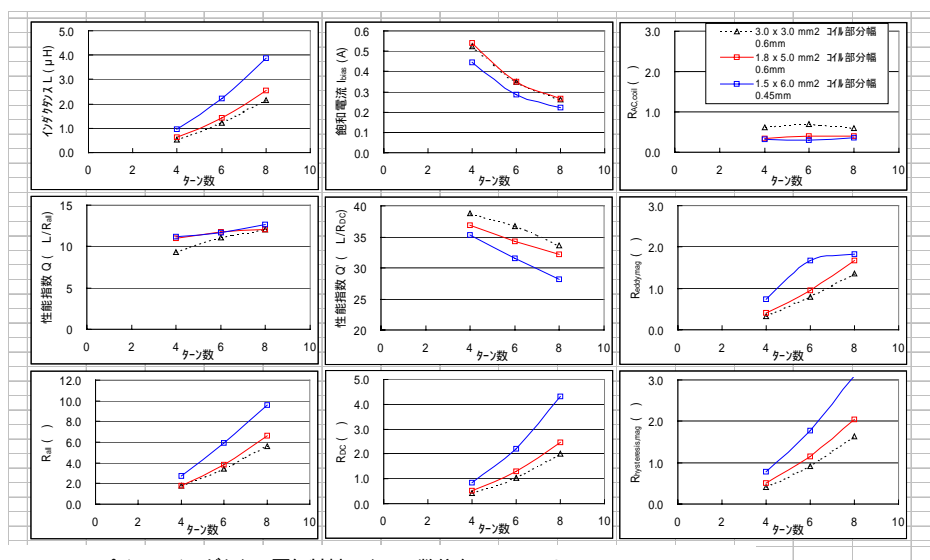


図6 9mm<sup>2</sup>スパイラルインダクタの電気特性のターン数依存（シミュレーション）

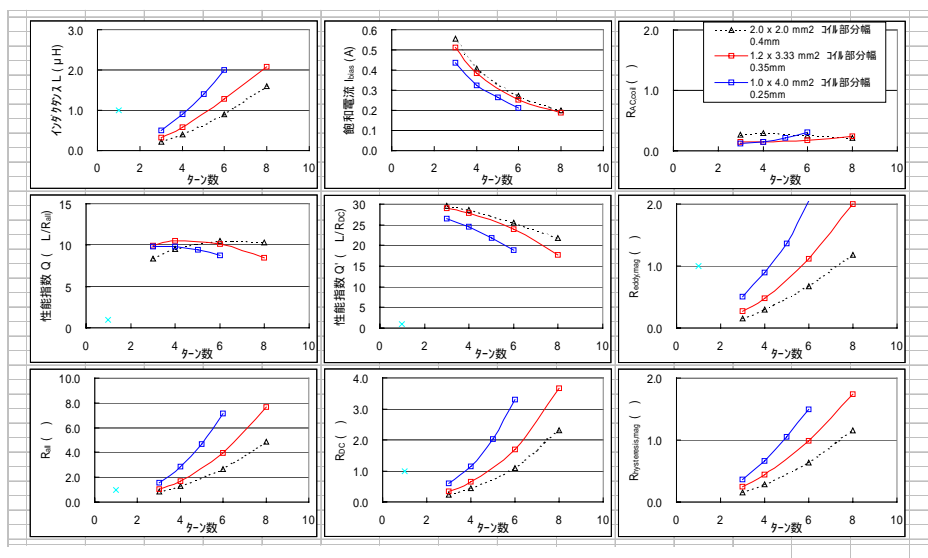


図7 4mm<sup>2</sup>スパイラルインダクタの電気特性のターン数依存（シミュレーション）

表6 : 設計パラメータと特性予測値 (シミュレーション)

面積(mm <sup>2</sup> )	サイズ (mm)	ライン/スペース(um)	ターン数	L (uH)	I <sub>bias</sub> (A)	Q
9	1.8 x 5.0	125/30	4	0.6	0.54	11
9	1.8 x 5.0	96/30	5	1.0	0.4	12
9	1.5 x 6.0	90/30	4	1.0	0.44	11
4	1.2 x 3.3	97/30	3	0.3	0.5	11
4	1.2 x 3.3	46/30	5	0.9	0.3	11
4	1.0 x 4.0	63/30	3	0.5	0.4	11
4	1.0 x 4.0	40/30	4	0.9	0.32	10

インダクタの特性を目標仕様に近づけるために、先述と同様の手法により設計を行った。また、実デバイスにおいても形状パラメータの特性への影響を把握するために、複数の形状においてターン数等の設計パラメータを決定した。これらのパラメータを表6に示す。これらの設計パラメータを基にインダクタの試作を実施した。試作と特性評価の詳細は後に記すが、実際に試作したインダクタの特性を例として、シミュレーションにより算出された特性が実デバイスとどの程度合致するのかをまとめたものを図8に示す。

図8に示される様に、サイズや設計パラメータ(ターン数等)が複数の種類に渡る形状のインダクタを対象としたが、設計値と実測値との関係がほぼ直線に乗り、絶対値の違いも数10%程度であることから、シミュレーションによる計算値(設計値)は、実際のデバイス特性をほぼ予測できていると考えられ、インダクタ設計における強力なツールであることがあらためて示された。

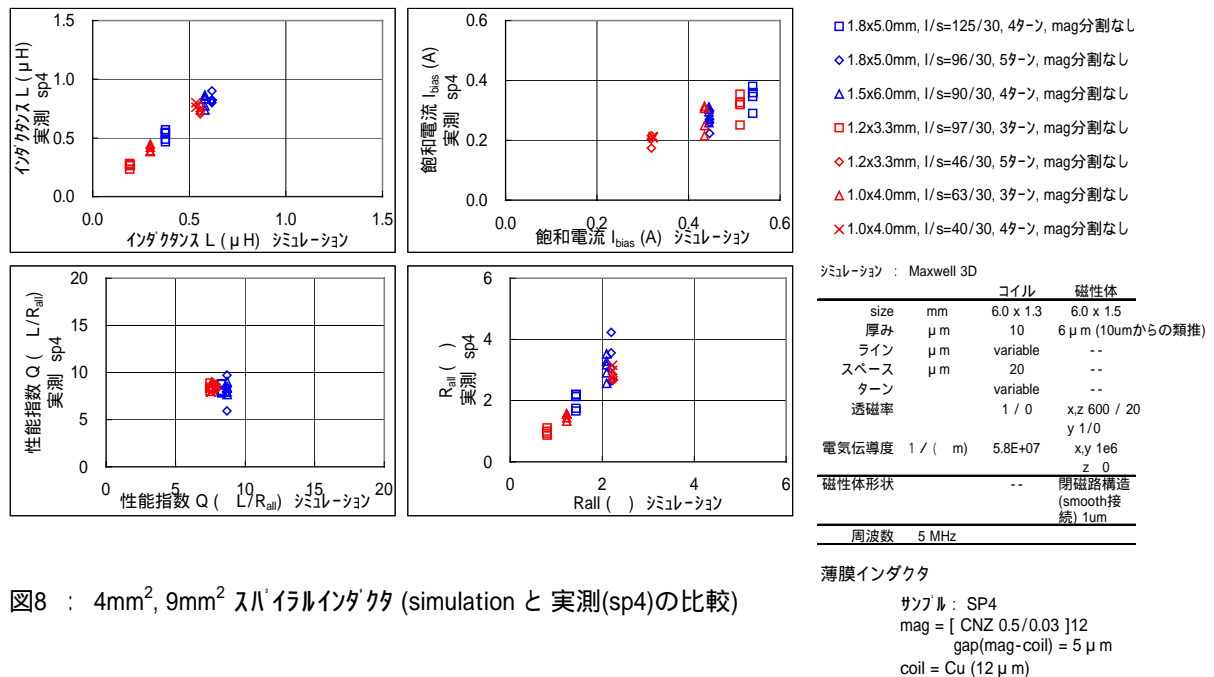


図8 : 4mm<sup>2</sup>, 9mm<sup>2</sup> スパイルインダクタ (simulation と 実測(sp4)の比較)

### 試作インダクタ搭載電源性能試験

#### 電源性能評価ボードの試作

スイッチング方式 DC-DC コンバータにおいて、1 サイクルのスイッチング動作毎にインダクタに蓄積できるエネルギー容量はインダクタンス値に支配されており、1 μH の薄膜インダクタを搭載した



DC-DC コンバータを実現するには、MHz オーダーのスイッチング周波数に対応したドライバ IC が必要となる。Linear Technology 社の LTC3401 (最大 1A 出力) 及び LTC3402 (最大 2A 出力) は、現在市場にある中で最も高いスイッチング周波数である 3MHz 動作を保証したドライバ IC である。特に、LTC3401 は携帯電子機器をアプリケーションターゲットとした昇圧型 DC-DC コンバータ用ドライバ IC であり、主な特徴を以下にまとめる。

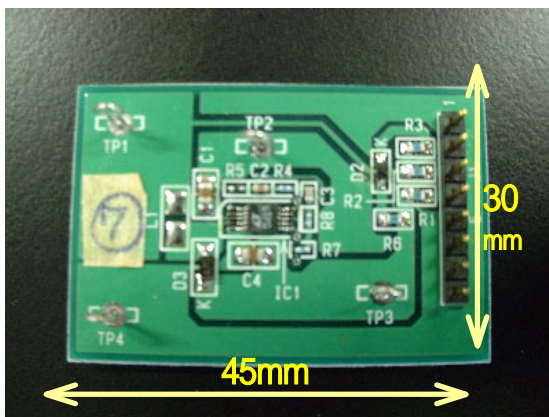
- ・最大固定動作周波数 3MHz (チップ抵抗により可変)
- ・同期整流方式採用による最大 97% の効率実現
- ・最大出力電流 1A
- ・対応入力電圧範囲 0.5V ~ 5V (動作時)
- ・可変出力電圧範囲 2.6V ~ 5V
- ・小型 10 ピン MSOP パッケージ (縦 3.0mm × 横 4.9mm × 高さ 1.0mm)

LTC3401 を使用した薄膜インダクタ動作検証用回路基板であるが、MHz オーダーの高周波スイッチング動作で安定した性能を確保するためには、適切なボードレイアウトが要求される。例えば、インダクタ、入出力コンデンサ、出力ダイオードといったパワー素子は、出来る限りドライバ IC 周辺に配置すべきであり、各素子間の接続は太く、短くが基本とされる。また、素子周囲には十分な銅エリアを設定し、ドライバ IC 及びインダクタから発せられる熱の逃げ道を考慮しておかなくてはならない。これらの電源回路基板設計に当たっての基本事項に配慮し、設計試作を行った。

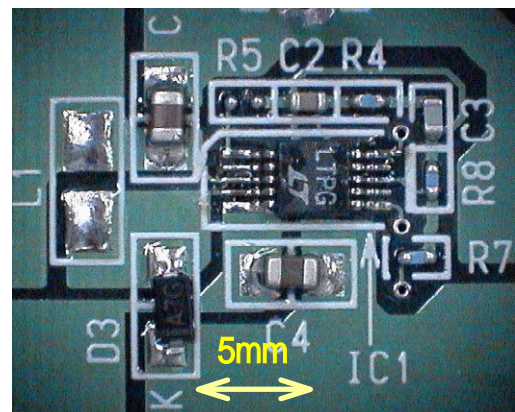
試作した回路基板の全容とドライバ IC 周辺の拡大写真を図 A に、回路図を図 B に示し、その特徴を以下にまとめる。

- ・基板面積は横 45mm × 縦 30mm
- ・基板材質は厚さ 1.6mm のガラスエポキシ
- ・基板は四層基板であり、各部品は第一層のみの片面実装
- ・四層基板のうち内側二層は放熱に配慮したグラウンド層
- ・基板には動作モード設定用ジャンパピン (J1) を設定
- ・スイッチング周波数は R5 の抵抗値により 1 ~ 5MHz の範囲で調整可能

図 A(b) に示した基板左側の L1 という記号で示された部分に薄膜インダクタを設置する。また、R5 には 7.5k から 30k のチップ抵抗を設置することで 1 ~ 5MHz の範囲でスイッチング周波数を設定することが可能である。但し、3MHz を越える周波数は LTC3401 の動作保証範囲外であることに注意する。基板は計 20 枚作製した。

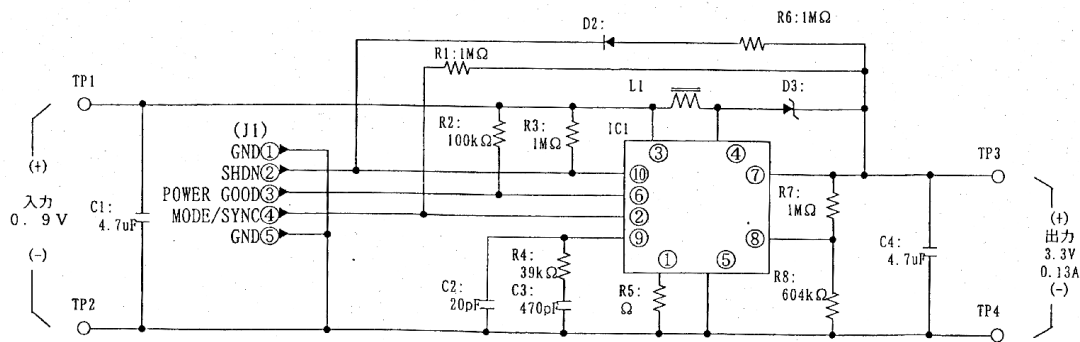


(a) 全容



(b) ドライバ IC 周辺拡大図

図 A 試作電源回路基板



図B 試作電源回路図

## 2 フェーズ

### (1) 研究の概要

この研究期間には、フェーズ で作製した占有面積 $30\text{mm}^2$ の薄膜インダクタで得られた特性を、 $10\text{mm}^2$ に縮小した状態で再現することを試みた。その結果、電力変換用の薄膜インダクタとしては最小の、占有面積 $4\text{mm}^2$ 、インダクタンス $0.83\mu\text{H}$ 、直流抵抗 $0.7$ 、性能指数 $16.7$ の優れた特性を示す小型薄膜インダクタを実現することができた。さらに、インダクタの小型化に伴う飽和電流の低下の対策の検討として、磁石薄膜付与によるインダクタの電流を増大させる方法を見出した。なお、薄膜インダクタを用いたDC-DCコンバータを足底圧ベクトル荷重センサシステムへの実装試験を継続中である。

### (2) 研究の目標

小型化を目的とした $5\text{MHz}$ 近傍の高周波帯で動作する $1\text{W}$ クラスの携帯電源(DC-DCコンバータ)に用いる薄膜インダクタとして、占有面積をフェーズ における $30\text{mm}^2$ から $10\text{mm}^2$ 以下に縮小し、フェーズ で得られた特性と同等な性能を示す薄膜インダクタを実現する。目標性能は、インダクタンス $1\mu\text{H}$ 、コイルの直流抵抗 $1$ 以下、性能指数 $15$ 以上、直流バイアス電流 $0.5\text{A}$ とする。また、薄膜インダクタを用いたDC-DCコンバータを足底圧ベクトル荷重センサシステムに実装し、センサ素子に供給する基準電圧電源としての動作試験を行う。

### (3) 実施内容

#### 小型インダクタの試作と特性改善

インダクタの占有面積をフェーズ の $30\text{mm}^2$ から $9\text{mm}^2$ ないし $4\text{mm}^2$ に縮小し、コイルターン数 $3 \sim 5$ の7種の薄膜インダクタを作製し、性能評価を行った。さらに、性能向上のためにコイルの膜厚および磁心の厚膜化の検討を行った。

#### 電磁場シミュレーションによる薄膜インダクタ設計

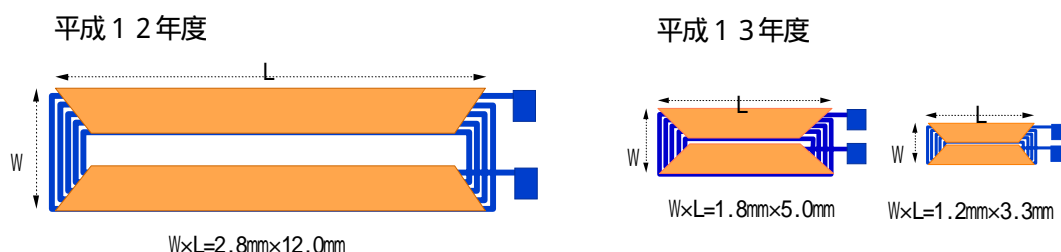
#### 薄膜インダクタの許容電流増大の検討

小型薄膜インダクタの性能試験および薄膜インダクタを用いたDC-DCコンバータを足底圧ベクトル荷重センサシステムに実装し、動作試験を行う。

#### (4) 結果

##### - 1 薄膜インダクタの小形化

平成 12 年度に試作した薄膜インダクタは、特性的に目標仕様を満たすものであったが、面積が約 30 mm<sup>2</sup> とやや大きかった。一方、電源用コントロール IC は数 mm 角と小型化しており、将来的に IC 上にインダクタを一体形成することを考えた場合には更なる小型化が必要となる。そこで、数 mm 角（面積 10 mm<sup>2</sup> 以下）かつ  $L=1 \mu\text{H}$ 、 $I_{\text{bias}}=0.5\text{A}$  を満たす小型インダクタを試作すべく電磁場シミュレーション技術による再設計を行った。コイル、磁心および絶縁層のアスペクト比最適化を詳細



に検討した結果、インダクタの占有面積を平成 12 年度に試作した場合の 1/3 以下にしても、同等のスペックを実現できることが電磁場シミュレーション上で確認された。そこで、電極パッドを除いたインダクタのサイズを幅 1.0~1.8mm、長さ 3.3~5.0mm とし、コイル巻数 3~5 回の 7 種のスパイラル型インダクタを試作することにした。図 G に、平成 12 年度に試作したスパイラル型薄膜インダクタと平成 13 年度から試作したインダクタの概略図を示す。図から、占有面積は 30mm<sup>2</sup> から 9 ないし 4mm<sup>2</sup> に縮小されたことがわかる。

小形化された 7 種の薄膜インダクタの試作は、サイズやコイル巻き数にかかわらず、条件を一定にして行った。条件を表 5 に示す。

表 5 小形薄膜インダクタの作製条件

コイル形状	スパイラル型
コイル材質	Cu スパッタ膜
コイル巻き数	3、4、5 ターン
コイルのライ/スペース	40、46、63、90、96、125 $\mu\text{m}$ / 30 $\mu\text{m}$
コイル膜厚	12 $\mu\text{m}$
磁心材質	Co-Nb-Zr / SiO <sub>2</sub> 多層膜
磁心膜厚	6 $\mu\text{m}$

その他の作製条件はインダクタのサイズ縮小前と同様である。

ここでは、コイル導体として厚さ 12  $\mu\text{m}$  の Cu 薄膜を、磁心としては磁心総厚 6  $\mu\text{m}$  のアモルファス Co-Nb-Zr と SiO<sub>2</sub> からなる多層膜を用いた。図 8 に、小型化した 7 種の薄膜インダクタのうち、サイズが W1.8mm x L6.0mm および W1.2mm x L3.3mm で磁心を 20 等分に分割した場合と分割しない場合の特性を比較して示す。

インダクタンスは、磁心を分割した方がわずかに低い、しかし Q 値は 4 ~ 5 MHz より高周波側で高い値を示している。その理由として、インダクタンスの低いのは磁心分割により磁心の量が減ること、また Q 値がやや高周波側で高いのは分割によってわずかに電流損失が減ったことによると考えられる。

表 6 に、平成 13 年度の試作品のうち幅 1.8mm、長さ 5.0mm の寸法の薄膜インダクタの 5MHz における諸特性を平成 12 年度の試作インダクタに比較して示す。このインダクタは、5MHz で  $L=0.85 \mu\text{H}$ 、

全抵抗  $R=2.4$ 、 $Q=10.3$ 、飽和電流  $I=0.3A$  を示した。表の設計値と実測値に差が認められるのは、設計で磁心総厚  $10\mu m$  のところを試作では  $6\mu m$  に、またコイル導体の厚さも同様に  $10\mu m$  を  $12\mu m$  に変更したことによる。

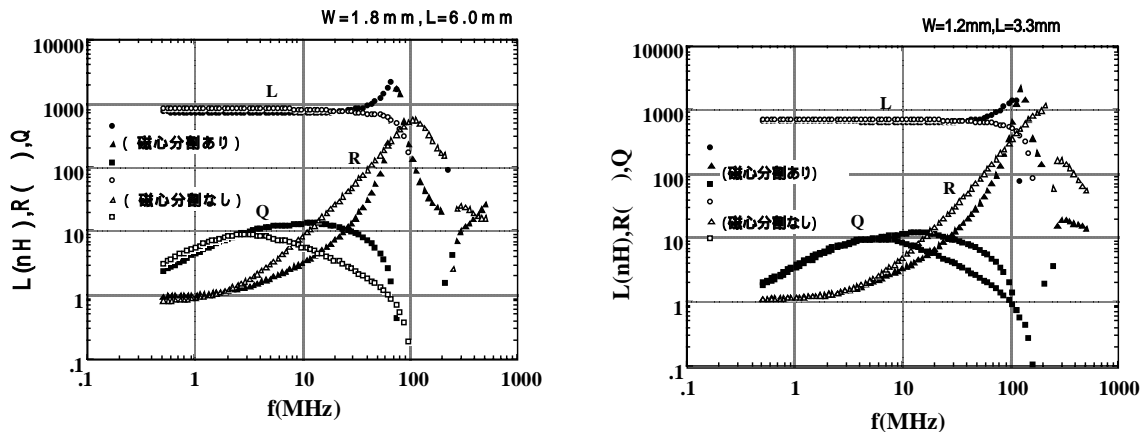


図8 新設計の小型薄膜インダクタの電気特性

実測値のうち、飽和電流の低下が顕著であるが、その原因として製作工程で磁心の異方性に変化が起きたか、あるいはコイルサイズの縮小に伴ってコイルの巻密度が実効的に増大したことによると考えられる。以上の結果から、小型化しても導体、磁心および絶縁層の厚膜化により、さらに性能を向上させることが可能であることが明らかになった。

表6 平成12年度試作インダクタと新設計インダクタの特性比較

	形状	インダクタス $L(\mu H)$	全抵抗 $R(\Omega)$	Q値	飽和電流 $I_{bias}(A)$	算出方法
平成12年度 試作インダクタ		1.0	2.0	15	0.5	設計
		1.0	2.0	14.5	0.55	実測
新設計 インダクタ		1.0	3.2	10	0.45	設計
		0.85	2.4	10.3	0.3	実測

## - 2 特性改善の検討

### a) コイルの厚膜化の検討

Co-Nb-Zr、 $SiO_2$ 、Cu および Au ターゲットを用いて薄膜インダクタを作製し、特性を評価した。作製にあたって、上下の磁心はアモルファス Co-Nb-Zr 膜と  $SiO_2$  膜の多層膜とし、磁性層の総厚を  $6\mu m$  から  $9\mu m$  に、コイルは  $12\mu m$  から  $26.8\mu m$  厚の Cu 薄膜とした。また、絶縁層には  $SiO_2$  と固化させたレジストを用いた。その他の条件は、基本的には前報告書に示したとおりである。

まず、空心インダクタの電気特性を図1に示す。インダクタの寸法は幅  $W=1.6\text{mm}$ 、長さ  $L=6.0\text{mm}$  でコイルターン数は4である。

図において、コイル膜厚  $5\mu\text{m}$  (印)、 $12\mu\text{m}$  (印) および  $24\mu\text{m}$  (印) の変化に対して、インダクタンス  $L$  の値は膜厚に依存することなくほぼ一定であるが、交流抵抗  $R_{ac}$  の値は膜厚に強く依存し、 $3.6$  から  $0.43$  に減少する。その結果、 $5\text{MHz}$  での  $Q$  の値は  $0.6$  から  $5.2$  の増加し、空心インダクタにおいてコイル厚膜化の有効性が認められた。なお、コイル膜厚  $24\mu\text{m}$  の空心インダクタにおける  $Q_{\text{max}}$  の値は、約  $300\text{MHz}$  で約  $120$  であった。

つづいて、磁性層の厚さを  $0.3\mu\text{m} \times 20$  層とし、寸法は  $W=1.0\text{mm}$  から  $1.8\text{mm}$ 、 $L=3.3\text{mm}$  から  $6.0\text{mm}$  の4種、コイルターン数は3から5とし、コイル膜厚を  $5\mu\text{m}$  から  $26.8\mu\text{m}$  まで変化させたインダクタを作製し、インダクタの電気特性とコイル膜厚の関係を調べた。その結果を、図10に示す。

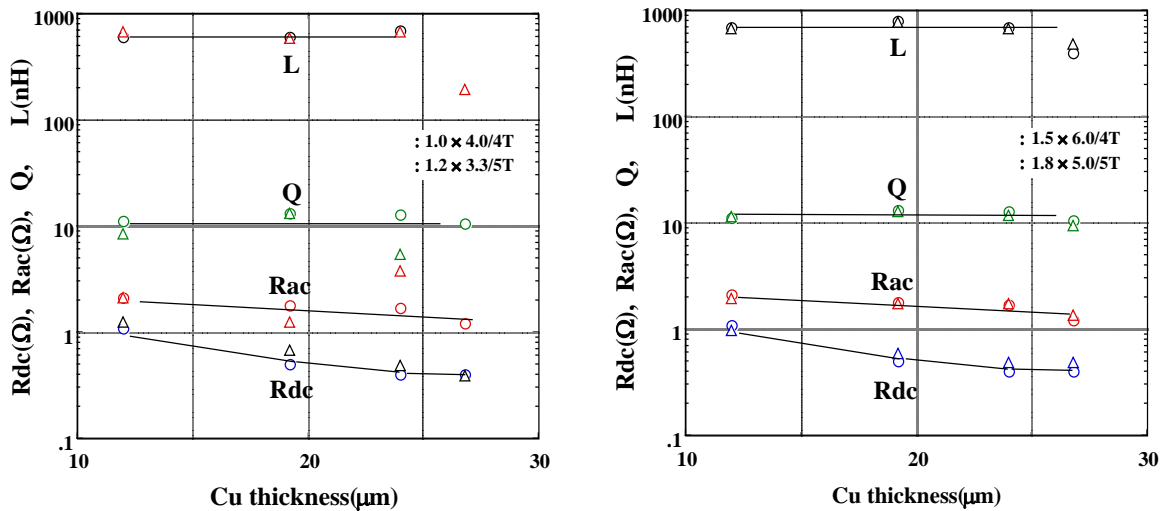


図10 薄膜インダクタの特性におよぼす膜厚の影響

図中、左側は寸法  $W1.0\text{mm} \times L4.0\text{mm}$  および  $W1.2\text{mm} \times L3.3\text{mm}$  としコイルターン数4および5、右側は寸法  $W1.5\text{mm} \times L6.0\text{mm}$  および  $W1.8\text{mm} \times L5.0\text{mm}$  としコイルターン数4および5の場合におけるインダクタンス  $L$  および  $R_{ac}$ 、 $Q$  の周波数依存性を示す。左の  $W1.0\text{mm} \times L4.0\text{mm}$  の場合には、コイル膜厚が  $12\mu\text{m}$  から  $24\mu\text{m}$  までインダクタンス  $L$  はほぼ一定値を保つ。しかし、膜厚の増加に伴い直流  $R_{dc}$  および  $R_{ac}$  は減少傾向を、 $Q$  はやや増大の傾向を示すが、膜厚  $26.8\mu\text{m}$  になるとインダクタンス  $L$  の減少と  $R_{ac}$  の増加および  $Q$  の減少が顕著となる。同様に、 $W1.2\text{mm} \times L3.3\text{mm}$  の場合にはこの傾向がさらに強くなる。また、右側の  $W1.5\text{mm} \times L6.0\text{mm}$  および  $W1.8\text{mm} \times L5.0\text{mm}$  の場合も、膜厚  $24\mu\text{m}$  から抵抗の減少が緩慢となり、 $26.8\mu\text{m}$  で顕著な  $L$  の減少と  $Q$  の減少が認められる。コイル膜厚  $24\mu\text{m}$  以上での性能低下の原因を明らかにする目的で、インダクタの断面を顕微鏡観察を行った。その結果、コイルとコイルの上部に配置した磁気間の電氣的絶縁をするために用いた硬化レジスト層が、

コイル膜厚の増加に伴って設計値より厚みが薄くなる傾向が強くなることが明らかになった。予想に反して低い特性を示すインダクタにおいては、 $R_{dc}$  は期待通りの低い値となるが、 $R_{ac}$  が期待値の数倍高い値となっている。このことから、MHz オーダーの高周波領域における磁心のうず電流の増大と高周波領域における絶縁性の低下が密接に関係していると推測される。したがって、厚膜化によるインダクタ性能改善にむけて、絶縁性の確保が今後の課題となる。しかし、インダクタの作製工程でスパッタ成膜および成形のためのリフトオフ法を採用する限りコイルの厚膜化は  $30\mu\text{m}$  が限度とみなされる。

#### b) 磁心の厚膜化の検討

磁心の厚膜化による特性改善のために、インダクタの試作と評価を行った。試作は、インダクタの幅  $W$  が  $1.0\text{mm}$  から  $1.8\text{mm}$ 、長さ  $L$  が  $3.3\text{mm}$  から  $6.0\text{mm}$  の 4 種、コイルターン数 3 から 5 を組み合わせた 7 種のインダクタで行った。

ついで、磁性層の厚さを増すことでインダクタの特性がどの程度改善できるのか検討することにした。しかし、磁性層はコイルの下部と上部に配置されており、実験室内でのプロセスで下部の磁性層をさらに厚くすることは、空心インダクタの場合と異なりコイルと上部磁性層の間にある絶縁層の厚みを期待どおりに確保することが容易でなくなる。そこで、今回はコイル膜厚を  $20\mu\text{m}$  と固定し、下部の磁性層の厚みを  $6\mu\text{m}$  とし上部磁性層の厚みを  $6\mu\text{m}$ 、 $9\mu\text{m}$ 、 $12\mu\text{m}$  としてインダクタを試作し特性を比較した。試作したインダクタは、幅  $W$  が  $1.0\text{mm}$  から  $1.8\text{mm}$ 、長さ  $L$  が  $3.3\text{mm}$  から  $6.0\text{mm}$  の 4 種、コイルターン数 3 から 5 を組み合わせた 7 種である。

表 7 寸法  $W1.2\text{mm} \times L3.3\text{mm}$  のインダクタ特性における磁性層膜厚依存性

上部磁性層の厚み ( $\mu\text{m}$ )	$L(\text{nH})$	$R_{ac+dc}$ ( )	$Q$
6	590	1.43	13.2
9	720	1.60	14.0
12	830	1.57	16.7

作製したインダクタ特性の代表例として、寸法  $W1.2\text{mm} \times L3.3\text{mm}$  で最も占有面積の小さいインダクタの  $5\text{MHz}$  における特性を表 7 に示す。表から、上部配置の磁性層を  $6\mu\text{m}$  から  $12\mu\text{m}$  まで増加してゆくと、インダクタンス  $L$  は増加するが、膜厚に比例した増加ではない。その理由として、磁性層の厚さが上部配置と下部配置で異なることや多層膜磁性層の層数が増すとともに透磁率が低下する傾向にあることなどが挙げられる。一方、 $5\text{MHz}$  における  $R_{ac+dc}$  は磁性層の厚みの増加に伴って増加する傾向を示しているが、 $Q = L/R$  の関係から求められる  $Q$  値は結果として増大し、その値はこれまでの最高値  $16.7$  であった。図 11 に、 $Q=16.7$

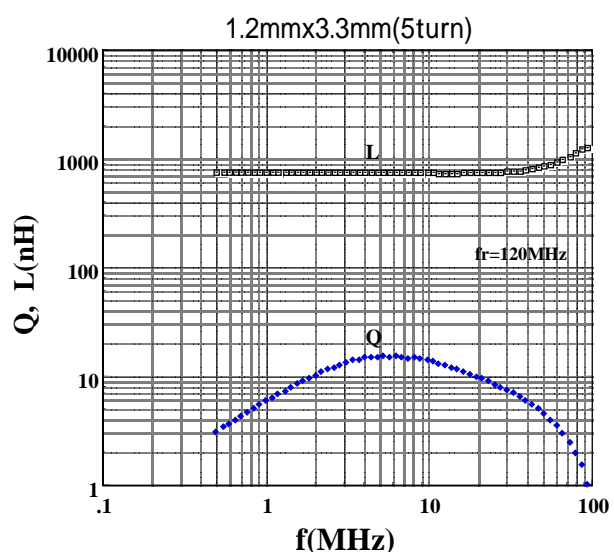


図 3 上部磁性層を  $12\mu\text{m}$  にして改善された薄膜インダクタの特性

を示した薄膜インダクタの周波数特性を示す。図において、L-f 曲線は約 30MHz までフラットであり、 $Q_{\max}$  は 4MHz から 7MHz の範囲にあり、共振点は約 120MHz にある。

以上まとめると、コイルの膜厚を増すことはQ値の増大に有効であることは実験から確かめられたが、現在採用しているプロセスでは 30  $\mu\text{m}$  までが限度と推測される。これに対して磁性層の厚膜化は、上部配置の磁性層を現在の 12  $\mu\text{m}$  からさらに厚くすることも可能であるために、かなり有効な手段となることが明らかになった。

#### 磁石薄膜付与によるインダクタの大電流化の検討

磁気素子の小型化および薄型化と大電流容量化とを両立させるために、磁石を用いた新規な構成のインダクタを考案したので、これについて磁場シミュレーションにより効果を実証しつつ検討を行った。ここで検討した磁気素子は、通常は軟磁性体のみからなる磁心(コア)に磁石を付加した点にある。その作用効果を平面型インダクタに適用した場合を例として、これまでのもの(図8)と比較しながら以下に説明する。

なお、上記で行った磁場シミュレーションのパラメータ等は、コイル部分は4ターンに相当しライン幅 48  $\mu\text{m}$ 、スペース幅 20  $\mu\text{m}$ 、厚み 10  $\mu\text{m}$  である。軟磁性体は比透磁率 600、厚み 10  $\mu\text{m}$ 、幅 450  $\mu\text{m}$ 、飽和磁束密度は 0.7T である。磁石は比透磁率 1、厚み 10  $\mu\text{m}$ 、幅 450  $\mu\text{m}$ 、残留磁束密度 1T である。

軟磁性体に磁石を配置しない平面型インダクタ(これまでのものに相当)の俯瞰図を図8(a)に、その断面図を図8(b)に示す。このインダクタに電流を流した際に軟磁性体は図8(b)の矢印の方向に励磁される。励磁された際の軟磁性体に発生している磁束密度分布を有限要素法を利用した磁場シミュレーションによって計算したものを図8(c)に示す。計算においては、図8(b)に示す断面図において紙面奥から手前方向へ向かう方向の電流を想定しており、また、軟磁性体の飽和磁束密度を 0.7T としている。この結果によると電流が 0.5A の際にはまだ軟磁性体は磁氣的に飽和していないが、1A の電流では大部分が磁気飽和を起こしている事がわかる。これに対して、本報告において検討した磁気素子用コアを有する平面インダクタ(俯瞰図を図9(a)に、その断面図を図9(b)に示す)において同様な計算を行うと、軟磁性体に発生している磁束密度分布は図9(c)に示すようになり、1A の電流でも磁気飽和を起こしていないことがわかる。これは、配置した磁石から図9(b)の点線で示す矢印方向に磁界がかかっており、この磁界の方向がコイルによる励磁方向と反対方向であり、磁石によっていわば逆バイアスされているためにコイル電流によって磁気飽和しにくくなっていることによるものであることが、図8(c)と図9(c)との比較により理解できる。すなわち、軟磁性体に磁石を配置しない平面型インダクタは、電流範囲 0 ~ 0.5A 程度が正常な使用範囲であるのに対し、ここで検討した磁気素子用コアを有する平面インダクタは電流範囲 0 ~ 1A 程度までの使用が可能であり、電流容量の大幅な増加を図ることができるという効果を有することを、シミュレーションにより実証できた。

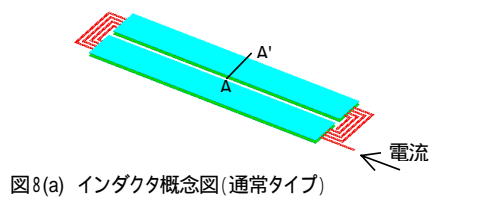


図8(a) インダクタ概念図(通常タイプ)

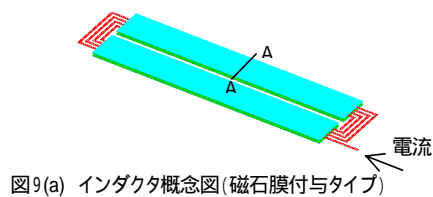


図9(a) インダクタ概念図(磁石膜付タイプ)

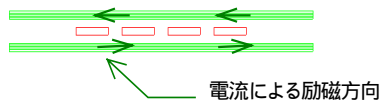


図8(b) A-A'断面図(通常タイプ)

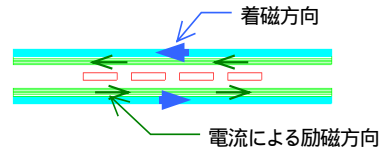


図9(b) A-A'断面図(磁石膜付タイプ)

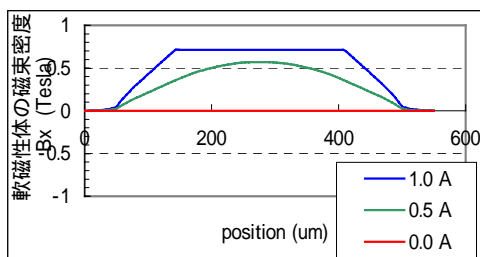


図8(c) 軟磁性膜の磁束密度分布(通常タイプ)

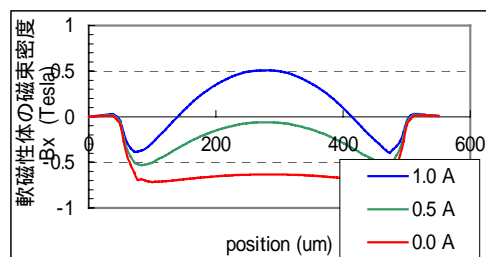
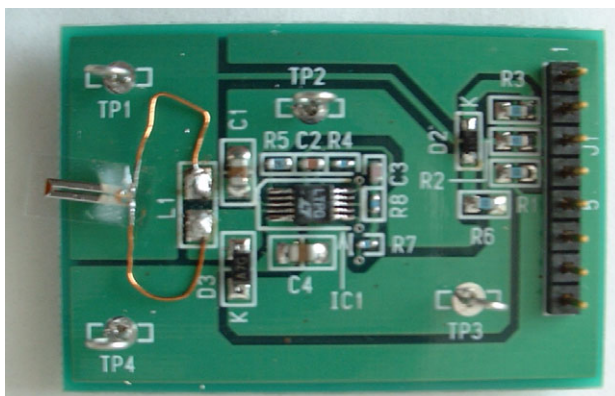


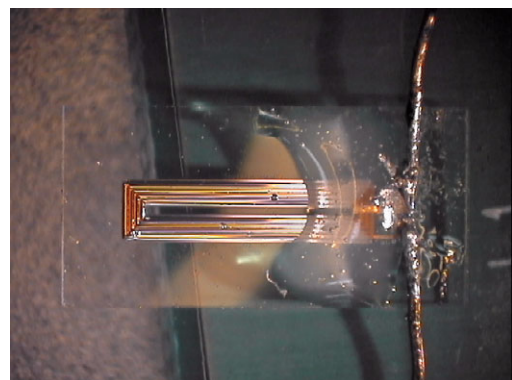
図9(c) 軟磁性膜の磁束密度分布(磁石膜付タイプ)

### - 1 小型薄膜インダクタ搭載電源性能評価試験

試験に用いた薄膜インダクタ搭載電源回路及び薄膜インダクタの例を図1に示す。薄膜インダクタの入出力端子は、数十 $\mu\text{m}$ 幅の導体ラインでインダクタ本体に接続されており、そこに僅かな力が加わってもガラス基板からの剥離が発生した。従って、薄膜インダクタ搭載の際には予めエポキシ樹脂系接着剤で入出力端子部分を固定してから銅線をハンダ付けした。



(a) 回路基板全容



(b) 搭載薄膜インダクタ拡大図 (SP4-13)

図1 薄膜インダクタ搭載電源回路

性能検証試験に用いた各種インダクタの特性を表1にまとめる。比較のために太陽誘電製 $1\ \mu\text{H}$ 巻線チップインダクタLB2016も試験対象に加えた。LB2016の主な仕様は、表Aに示すように開発中の薄膜インダクタの目標仕様に近い特性を備えている。薄膜インダクタは、面積 $9\text{mm}^2$ の3種類の



試作品 (SP4-26、SP4-22、SP4-13) を使用したが、SP4-26 については、3MHz、4MHz、5MHz の 3 種類の駆動周波数で動作試験を行い、SP4-22、SP4-13 については 5MHz でのみ動作試験を行った。動作試験においては、試作電源回路基板の入力側に直流電源装置、出力側に電子負荷装置を接続し、二台のデジタルマルチメータにより入力側と出力側の電流、電圧を読みとって、出力側の電流負荷変動に対する変換効率の変化をグラフ化した。表 1 に示した各インダクタの諸特性を比較すると、特に飽和バイアス電流  $I_{bias}$  と直流抵抗  $R_{DC}$  において、薄膜インダクタと巻線チップインダクタの特性の差が著しい。

電源回路搭載時に前者は出力電流容量、後者は変換効率の低下を招くと考えられるが、その低下レベルは性能検証試験で確認することとする。

表 1 性能検証試験に使用したインダクタの諸特性

番号	駆動周波数 (MHz)	使用インダクタ	インダクタ特性				備考
			L ( $\mu$ H)	$I_{bias}$ (A)	$R_{DC}$ ( )	Q	
1	3	巻線チップインダクタ (LB2016 太陽誘電製)	$1 \pm 20\%$	0.455	0.09	10	カタログ値 2.0 × 1.6 × 1.6mm
2	3、4、5	薄膜インダクタ (SP4-26)	0.54	0.34	2.13	7.9	実測値 (5MHz) 1.8 × 5.0mm
3	5	薄膜インダクタ (SP4-22)	0.856	0.22	3.17	8.5	実測値 (5MHz) 1.5 × 6.0mm
4	5	薄膜インダクタ (SP4-13)	0.832	0.19	3.29	7.9	実測値 (5MHz) 1.5 × 6.0mm

注)  $I_{bias}$  はインダクタの直流重畳特性においてインダクタンス値が公称値より 10% 低下する電流値と定義した。

LTC3401 は昇圧型 DC-DC コンバータであり、出力電圧は 3.3V に設定しているため、入力電圧は 1.0V から 3.0V まで 0.5V 毎に設定して計 5 種類の入力電圧条件で測定を行った。図 2 に太陽誘電製 1  $\mu$ H 巻線インダクタを搭載した場合の出力電流に対する効率の変化を示す。さらに、図 3 に 0.54  $\mu$ H 薄膜インダクタ (SP4-26) を搭載した場合の同様の性能検証試験結果を示す。両者ともスイッチング周波数は 3MHz に設定した。図中の動作モードとは、試作基板上のジャンピンによって設定可能な、ノーマルモードとバーストモードという LTC3401 の 2 種類の動作モードを示す。NM はノーマルモードを示し、3MHz の固定周波数でスイッチングを行っている動作モードを示す。それに対し BM で示されるバーストモードでは、低負荷時にスイッチング動作を間欠的に実施しスイッチングロスによる効率低下を抑制するため、ノーマルモードに比較して低負荷時の変換効率が高いが、間欠動作により発生するリップルノイズが出力電圧に載る欠点も備えている。

図 2 に示すように、1  $\mu$ H 巻線チップインダクタ搭載時の試作基板の変換効率は最大 80% 程度であり、1.5V 以上の入力電圧であれば、変換効率は 70% から 80% の範囲に分布している。また、表 A に示したように、巻線チップインダクタの  $I_{bias}$  がカタログ値で 0.455A あるため、1.5V 以上の入力電圧であれば 0.2A 程度の出力電流容量は確保できることが明らかである。

それに対し、図 3 に示すように薄膜インダクタ搭載電源では最大効率は 73% 程度であり、全般的に巻線チップインダクタに比較して約 10% 程度低い効率しか得られていない。さらに、特徴的なのは出力電流容量が小さい点であり、2V 以上の入力電圧でも最大 0.1A 程度の出力電流容量しか保証できないことが明らかである。これらは、薄膜インダクタの特性不足、特に  $I_{bias}$ 、 $R_{DC}$  の不足に起因

すると予想される。

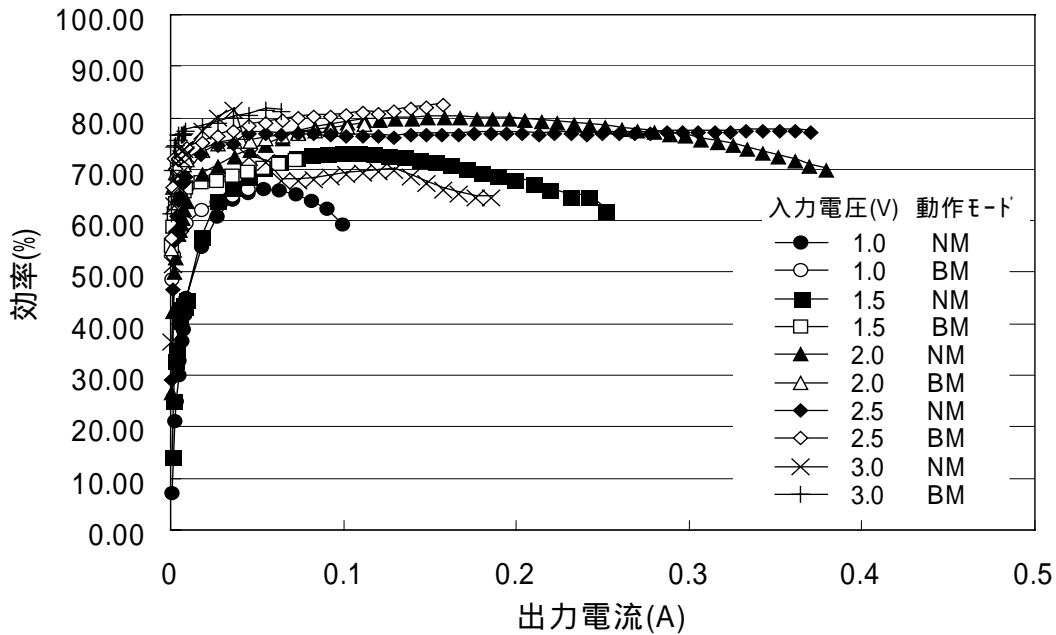


図2 1  $\mu$ H 巻線チップインダクタを使用した場合の出力電流 - 変換効率特性  
(スイッチング周波数 3MHz、出力電圧 3.3V)

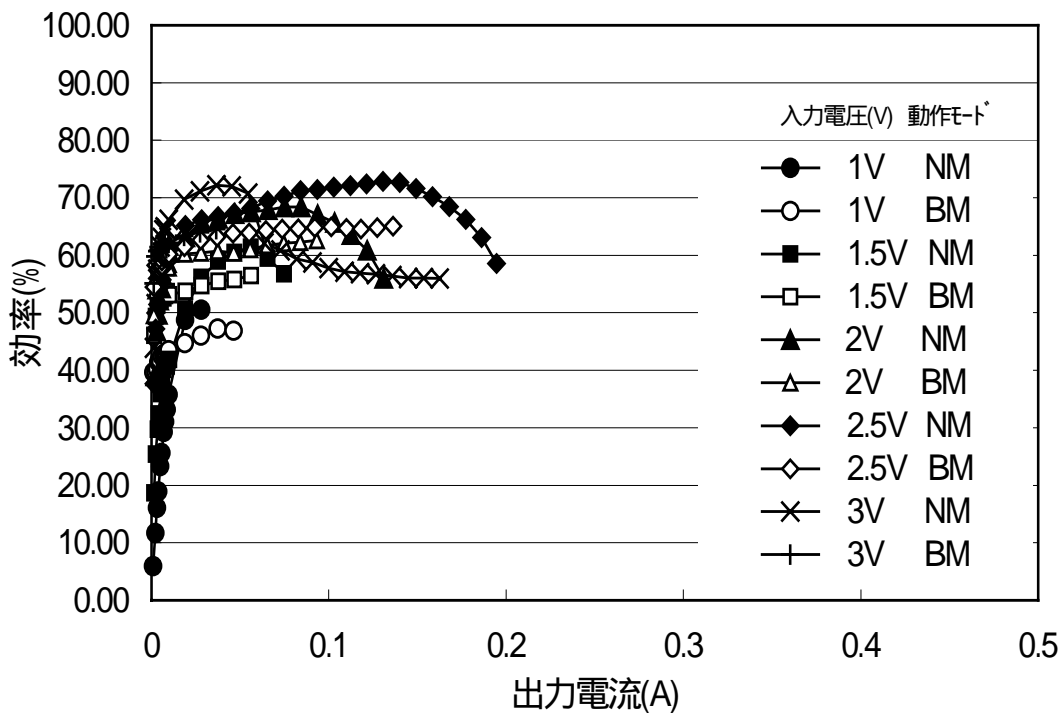


図3 0.54  $\mu$ H 薄膜インダクタを使用した場合の出力電流 - 変換効率特性  
(使用薄膜インダクタ : SP4-26、スイッチング周波数 3MHz、出力電圧 3.3V)

次に、スイッチング周波数上昇による電源性能変化を調査した結果を図4に示す。この図のデータは0.54  $\mu$ Hの薄膜インダクタ (SP4-26) を搭載した電源回路において、入力電圧 2.0V、出力電圧 3.3V の動作条件で、スイッチング周波数を 3、4、5MHz と変化させた場合の、出力電流に対する変

換効率の変化を示したものである。但し、LTC3401 のスイッチング動作周波数の最大値は3MHz であり、4MHz と5MHz は動作保証範囲外であることに注意する。図4 から、特に低出力電流でのノーマルモードでの変換効率が、3MHz 動作の方が4MHz 及び5MHz 動作に比較して高いことを除けば、動作周波数による変換効率の大きな変化は現れていない。

また、図5 に各インダクタ搭載時のバーストモード時の入力電圧に対する最大出力電流の変化を示す。薄膜インダクタは、全ての入力電圧条件で巻線チップインダクタより小さい出力電流容量しか得られないことが明らかであり、低い  $I_{bias}$  の影響が現れているといえる。さらに、図6 に図5 と同様の条件での入力電圧に対する最大出力電流時の変換効率の変化を示す。薄膜インダクタが巻線チップインダクタに比べかなり変換効率が低いことが明らかであり、薄膜インダクタの低い  $L$  と  $Q$ 、高い  $R_{DC}$  が複合的に関与し、変換効率を低下させていると思われる。

赤外線熱画像装置により動作時の回路基板上的各素子の表面温度を測定したところ、薄膜インダクタが他素子に比べ大きく発熱していることが確認できたため、効率低下の原因は薄膜インダクタの特性不足にあることが、この点からも確認できた。

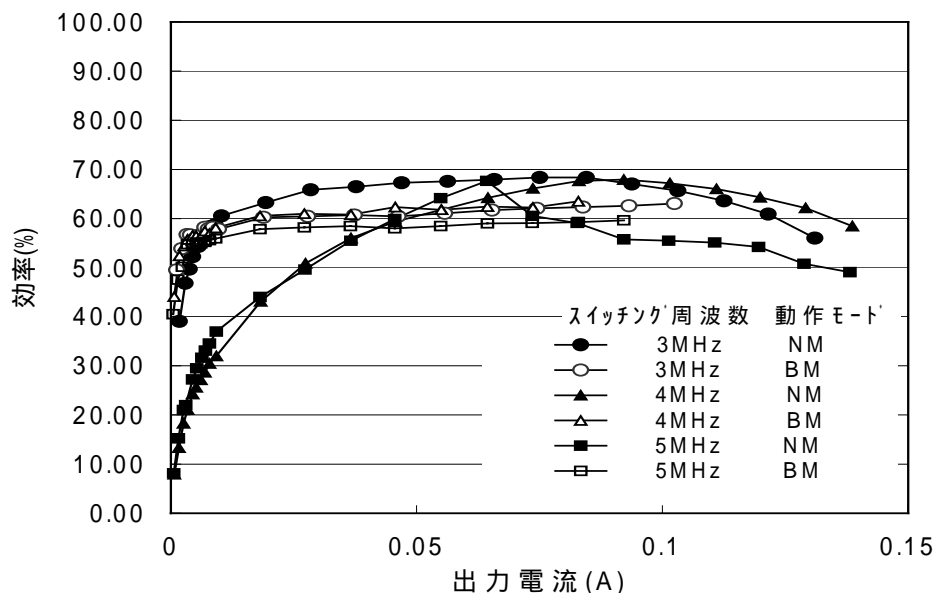


図4 スwitching周波数による出力電流 - 変換効率特性の変化  
(使用薄膜インダクタ：SP4-26、出力電圧3.3V)

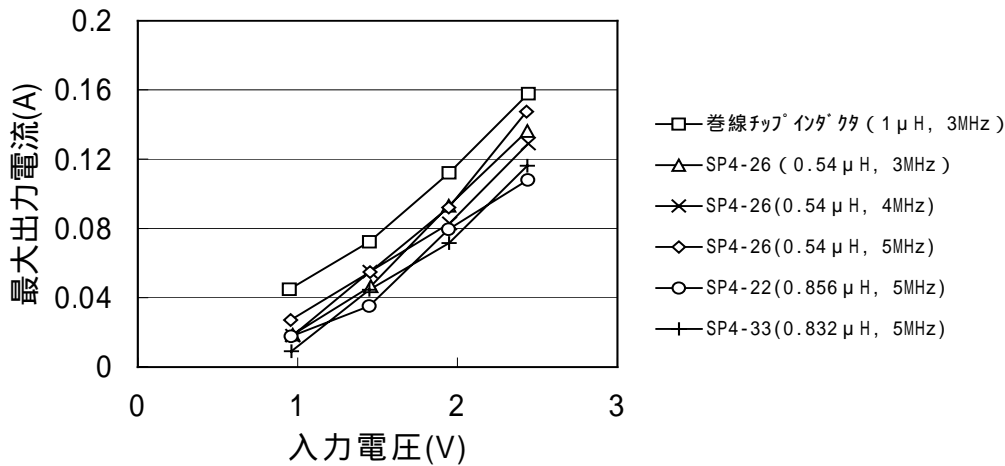


図5 バーストモードにおける入力電圧 - 最大出力電流特性

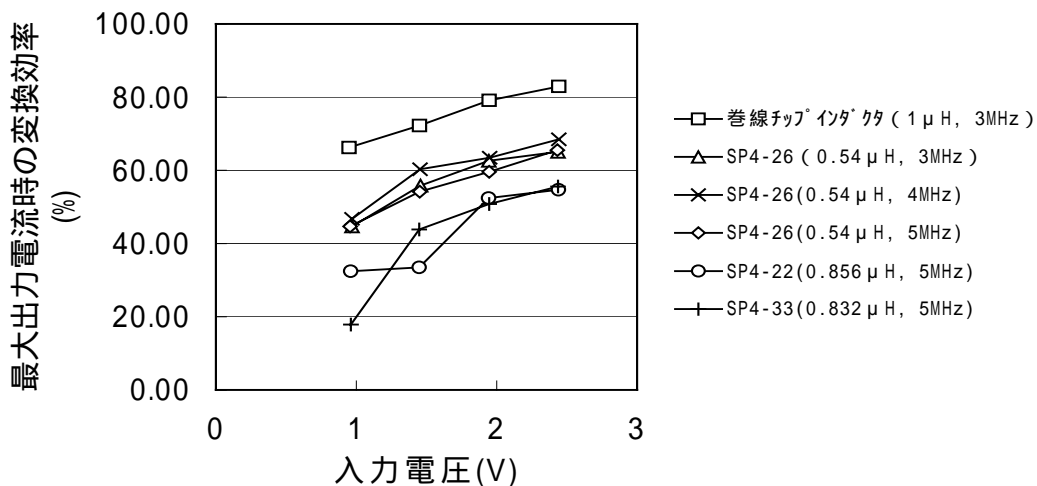


図6 バーストモードにおける入力電圧 - 最大出力電流時の変換効率特性

## - 2 改良版薄膜インダクタ搭載電源性能評価試験

ここまでは、平成12年度末に試作した薄膜インダクタを搭載した電源性能評価試験結果について述べてきたが、電源の目標仕様値を満足させるためには薄膜インダクタの特性アップが不可欠なことが明らかとなった。平成13年度後半には、その試験結果を試作工程に反映させ、個々の特性をアップさせた改良版薄膜インダクタが提出された。ここでは、その改良版薄膜インダクタを搭載した電源性能評価試験結果について述べることにする。

表2に、平成12年度試作及び平成13年度試作薄膜インダクタの代表例の特性を示す。以後は前者をSP4-26、後者をSP18-23と呼ぶことにする。SP4-26とSP18-23の試作工程の違いは、SP4-26は0.5 μmのCoNbZr軟磁性膜と0.03 μmのSiO<sub>2</sub>絶縁膜を12層重ねているのに対し、SP18-23は磁性体内部の鉄損を抑制するために0.3 μmの軟磁性膜と0.03 μmの絶縁膜を20層重ねる多層化を行っている点である。

表2 試作薄膜インダクタの特性比較

	型番	L(μH)	R <sub>DC+AC</sub> ( )	Q(5MHz)	I <sub>bias</sub>
平成12年度試作インダクタ	SP4-26	0.54	2.13	7.9	0.34
平成13年度試作インダクタ	SP18-23	0.57	1.54	11.6	0.29

注) 他の試作条件(面積1.8mm×5.0mm、導体ターン数4、磁性体分割無し)は同一

この多層化の目的は、薄膜インダクタのQ値を上げることである。また、SP18-23では抵抗を下げるために導体膜の厚膜化も実施している。これらの改良の結果、SP18-23はSP4-26に比較して、インダクタンス値Lと飽和バイアス電流値I<sub>bias</sub>は同等であるが、抵抗値は2.13から1.54へと約28%減少し、Q値は約47%増加している。

SP18-23を搭載した電源の出力電流に対する効率の変化を図Iに示す。SP4-26での最大効率は73%程度であったが、SP18-23では78%程度まで上昇しており、若干ではあるがQ値アップの効果が現れている。

以上のように、本研究の最終目標仕様である変換効率80%以上、出力電流容量0.2A以上に到達することはできなかったが、薄膜インダクタの性能アップにより電源回路の特性が改善することが明らかとなった。

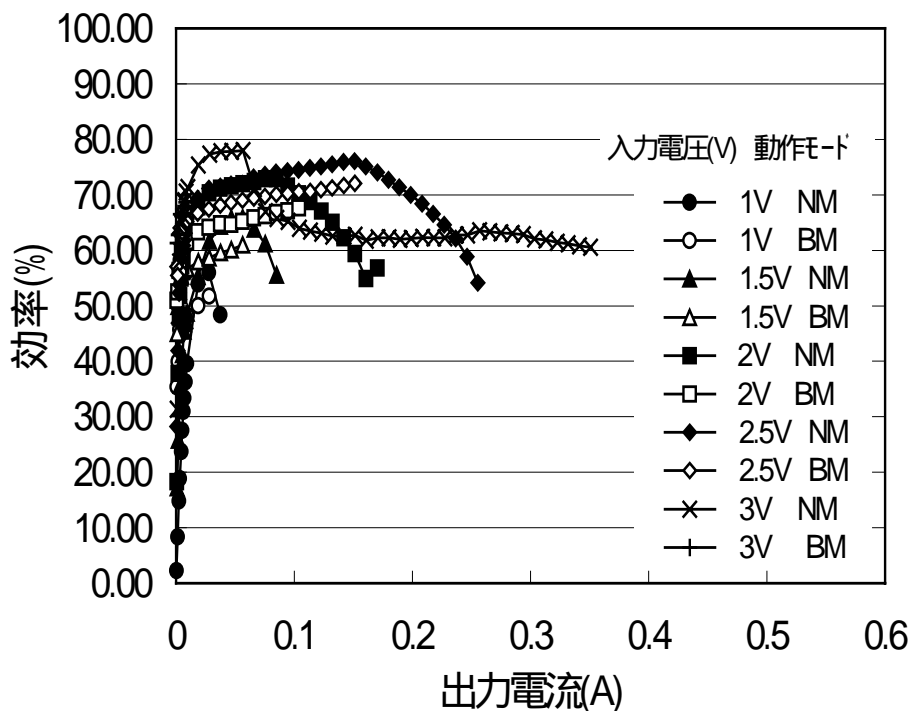


図9 改良版薄膜インダクタを使用した場合の出力電流 - 変換効率特性

(使用薄膜インダクタ: SP4-26、スイッチング周波数3MHz、出力電圧3.3V)

最後に、最近の携帯電源関連の市場動向を予測を交えてまとめる。学会等で発表される超小型電源回路関連技術開発は、ここ数年停滞気味であった。これは、将来的に必要な技術であることは確実であるが、有力なアプリケーション先が現れなかったことが原因である。ところが、かつてエレクトロニクス産業で年間出荷台数が1億台を超えた世界商品といえばテレビしかなかったが、現在は1億台を超える大型商品がパソコン、携帯電話と同時に二つもあり、それらの小型化、高機能化に伴い、電源回路に対する小型化、高出力容量化の要求が急激に高まりつつある。従来のパソコン

に採用されてきた CPU は、ウィンドウズ等のグラフィックインターフェース主体の OS の急激な普及に伴い高速演算機能が要求され、動作周波数の向上にのみ開発の主体が向けられてきた。そのため、CPU の消費電力も大きくなり、数年前までは携帯可能なノートパソコンでもバッテリーのみの動作時間は 2 時間程度が普通であり、海外出張等の長時間移動中の使用には問題があった。近年は、モバイル機器のバッテリー駆動に関しては高速動作より長時間動作が求められる傾向にあり、特に、省電力化を目的としたモバイルパソコン用 CPU の動作電圧の低下傾向が著しい。これらの CPU では、負荷に応じて複数段階でクロック電圧を動的に変更していく技術が普及しつつあり、電源回路、特に降圧型 DC-DC コンバータの市場は広がりつつある。この市場動向に従って、携帯電源市場に参入する企業が増えつつあり、本共同研究事業で開発した技術を生かす道を探っていきたいと考えている。

### 3 フェーズ の取組み

研究期間フェーズ 、フェーズ をとおして小型高性能薄膜インダクタの開発を行った。その過程において、MHz 駆動でこれまでにない高い性能指数を示す多層膜薄膜磁心の製造方法を確立した。一般に、磁性材料の仕様限界周波数は磁性体の自然共鳴周波数で定まるが、当研究班が採用したアモルファス Co-Nb-Zr 薄膜の自然共鳴周波数はおよそ 1.5GHz であることから、数 100MHz から 1GHz の高周波帯でも使用できる。また、試作した各種の薄膜インダクタは、パワーデバイス用に開発されたものであるが、開発中に得られたノウハウと寸法形状およびインダクタンスなど一部の仕様を変更することで、数 10MHz から 1GHz 帯での電磁ノイズ吸収の LC フィルターとして、さらに空心コイルとするなら次世代携帯電話の回路に用いることを目的に半導体関連企業が開発中の集積化インダクタとして利用することも可能である。しかし、薄膜インダクタは受動部品であるため、この性能を活かした応用はスイッチング IC のさらなる高周波化を待つしかない。

上述のようにフェーズ 、 を通して薄膜インダクタの高性能化に資する技術を開発した。フェーズ では、本研究によって得られた新しい技術を適用し 薄膜インダクタを完成させるとともに情報誌、技術講演、企業訪問等による PR や研究会開催、技術支援などを通して企業への技術移転を図る。また、あわせて、本研究によって培われた磁場シミュレーション技術を企業に普及し企業における新規製品の設計開発に役立てる予定である。

## 参考文献

- 1) 溝口 徹彦：「薄膜インダクタを用いた超小型 DC/DC コンバータ」 電気学会論文誌 A 117-1,p1(1997)
- 2) 中澤ら：「薄膜インダクター体型 DC/DC コンバータ」 電気学会マグネティックス研究会資料 MAG-99-41,p31(1999)
- 3) 山下 勝己：「特集 電源革命」 日経エレクトロニクス No.732,p131(1998)
- 4) 佐藤 敏郎,井上 哲夫,富田 宏,矢田部 茂,溝口 徹彦：「電解メッキ Cu コイルと FeCoBC 系ヘテロアモルファス磁性膜を用いたプレーナインダクタの試作」 電気学会マグネティックス研究会資料 MAG-96-2,p9(1996)
- 5) 白江公輔,川辺清司,村田勇一郎：“プレナー・インダクタ”，第7回日本応用磁気学会学術講演概要集，9aD1，277(1983)
- 6) 白江公輔,川辺清司,村田勇一郎：“平面コイルによる磁化”，電気学会マグネティックス研究会資料，MAG-83-67，25(1983)
- 7) K.Kawabe, H.Koyama and K.Shirae：“Planar Inductor”，IEEE Trans. Magn.,MAG-20, 1804(1984)
- 8) 大城 理,辻本浩章,白江公輔：“プレナー・インダクタおよびプレナー・トランス”，電気学会マグネティックス研究会資料，MAG-88-23，111(1988)
- 9) A.Olivei：“Optimized Miniature Thin-Film Planar Compatible with IntegratedCircuits,”IEEE Trans Materials and Packag., PMP-5, 71(1969)
- 10) R.F.SooHoo：“Magnetic Thin Film for Integrated Circuit Application”，IEEE Trans.Magn.,MAG-15，1803(1979)
- 11) S.Sugahara et.al.「Characteristics of a Monolithic DC-DC Converter utilizing a Thin-film Inductor」 IPEC-TOKYO2000 Proceedings p326
- 12) 福田ら：「フェライト厚膜を用いた DC-DC コンバータ用プレーナインダクタ」 福田ら 電気学会マグネティックス研究会資料 MAG-00-326,p1(2000)
- 13) 白川ら：「薄膜インダクタの性能指数と薄膜磁心の損失係数との相関」 日本応用磁気学会誌 vol22,4-2,p865(1998)
- 14) Linear Technology 社 LTC3401 データシート、[http://www.linear-tech.co.jp/datasheet/html/j\\_p\\_pdf/j\\_3401i.pdf](http://www.linear-tech.co.jp/datasheet/html/j_p_pdf/j_3401i.pdf)
- 15) 太陽誘電(株) LB2016 データシート、[http://www.yuden.co.jp/ecatalog/YUDEN\\_JP/CATALOG/F\\_LB2.HTM](http://www.yuden.co.jp/ecatalog/YUDEN_JP/CATALOG/F_LB2.HTM)