

(3) サブテーマ1：ダイヤモンド系薄膜を用いた電界放出ディスプレイの開発

福岡大学 (財) 福岡県産業・科学技術振興財団 九州ミツミ (株) 九州松下電器 (株) 凸版印刷 (株)

① 研究概要

ダイヤモンド、フラーレン、カーボンナノチューブのような炭素系材料が、新しい機能性材料として注目を集めている。特に、ダイヤモンドやカーボンナノチューブからの電子放出を利用して電界放出ディスプレイ (FED) を開発する研究が盛んである。これは、微小な電子放出源を表面に多数形成し、真空中に放出された電子で陽極上の蛍光体を光らせる構造で、液晶ディスプレイ (LCD)、プラズマディスプレイ (PDP) に続く次世代ディスプレイ候補の1つである。

気相化学成長 (CVD) 法で成長した (111) 結晶面のダイヤモンドは、表面での電子親和力が負となることが知られており、これはダイヤモンド内から電子が出やすいことを意味している。また、カーボンナノチューブも、その特殊な構造から電子放出率が高い。このことから、ダイヤモンド系材料を FED の陰極に応用する研究が盛んに行われている。しかし、ダイヤモンド系材料の電子放出機構は、未だ十分に解明されていなかった。

ダイヤモンド・ライク カーボン (DLC) は、ダイヤモンドと類似した物理特性を有しており、高硬度で、摩擦係数が小さく、化学的に不活性である。このことから、工具の機械的強度を上げるためのコーティング材として使われてきた。本研究では、DLC を電子デバイス、特に FED 陰極への応用を目指した。DLC は、ダイヤモンド構造である sp^3 とグラファイト構造である sp^2 の混ざったアモルファス構造で、シリコンよりも硬く、バンドギャップも 2 ~ 3eV ある。また、不純物のドーピングされていない DLC は $10^{10} \sim 10^{13} \Omega \text{cm}$ の高い抵抗率を示す絶縁体である。DLC の物理定数をダイヤモンド及びシリコンと比較し、表 3-1 にまとめる。ダイヤモンドをプラズマ CVD 法で成長する場合、基板温度を 700°C 以上に上げる必要があるが、DLC は CVD 法によって室温で堆積が可能である。これは、大面積のディスプレイをガラス基板で製作する場合に特に重要な特徴である。

DLC を FED などの電子デバイスに応用するためには、導電性を有する DLC 薄膜が必要となる。そこで、RF プラズマ CVD 装置を独自に開発し、高導電性の DLC 成膜を行った。また、表面からの電子放出機構を解明するために走査トンネル顕微鏡を改造した電子放出解析装置を導入し、ダイヤモンド及び DLC 表面からの電子放出をナノスケールで評価した。

また、電子陰極の特性をマイクロスケールで評価する SPFEC (scanning probe field emission current) 装置を開発した。これらの装置によって、ダイヤモンド系材料に得意な活性化の機構が明らかになり、また電子放出の始まる場所についても知見を得た。次に、電界放出特性を向上するために、酸素プラズマ及びフッ素プラズマで表面処理を行なった。

更に、ガラス基板上に DLC を堆積するための多層膜作製などの技術を確認し、ガラス基板上に平面型 FED のプロトタイプを製作した。また、DLC を FED 以外の電子デバイスに利用することを目指して、半導体レーザによる DLC のマスクレス加工、作製条件による仕事関数測定なども行った。

表 3-1 ダイヤモンド、DLC、シリコンの物理定数

	ダイヤモンド	DLC	シリコン
硬度 (GPa)	90~100	9~30	11~12
熱伝導率 (W/cmK)	20	—	1.4
禁制帯幅 (eV)	5.47	2~3	1.12
真性抵抗率 (Ωcm)	$>10^{15}$	$10^{10}\sim 10^{13}$	10^5
絶縁耐力 (V/cm)	$(1\sim 20)\times 10^6$	—	3×10^5
電子親和力 (eV)	成長条件によって負	小さい	4.05

②フェーズ I の取り組み (H9年11月~H12年3月)

②-1 目的及び目標

DLC は、ダイヤモンドに類似した特性を示し、不純物が入っていない場合には高い絶縁性を示す。DLC をデバイスに応用するためには、導電性を有する DLC 薄膜を作製する必要がある。そこでフェーズ I では、まず DLC を堆積するためのプラズマ CVD 装置の開発を行った。次に、ダイヤモンド及び DLC 表面での電子放出特性及び電子状態をナノスケールで評価する技術の確立を目指した。更に、FED 電子源の特性をミクロンスケールで評価する技術の確立も目指した。

成膜条件の違いによる DLC 薄膜の評価を行い、導電性 DLC 作製を目指した。また光の透過率や、表面での仕事関数も測定し、デバイス応用のための基礎データを調べることを目標とした。

②-2 研究方法及び結果

CVD 装置の構造、導電性薄膜の作製、電子放出機構の解明、電界放出特性の評価、仕事関数の評価について、それぞれの結果を以下に示す。

・高周波プラズマ CVD 装置の製作

本プロジェクトで開発した高周波プラズマ CVD 装置の概観写真を図 3-1 に示す。原料ガスにはメタンを使用し、シャワータイプの陽極からチャンバー内に導入した。また、導電性を高めるために窒素ガスも混入させた。各ガスラインにはマスフロー制御器と電磁バルブを取り付け、コンピュータ制御によって瞬時にガスが切り替えられる構造とした。水冷された試料ホルダーが陰極となり、13.56MHz の高周波を印加した。また、陽極のシールドにヒータを設置し、試料表面付近の温度を変化させる構造とした。装置の構造と成膜方法に関して、特許を申請した。

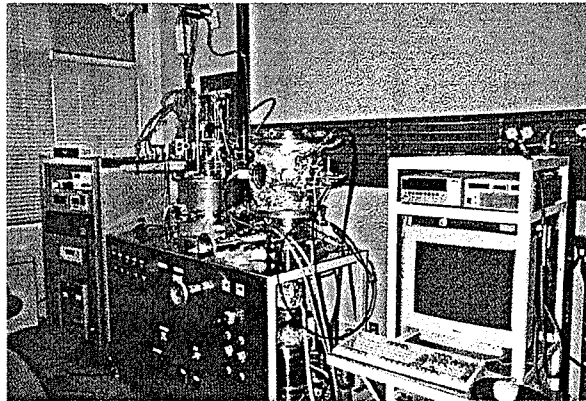


図 3-1 開発したプラズマ CVD 装置の概観写真

・導電性 DLC 薄膜作製

窒素をドーピングすることによって抵抗が下がることが知られていた。そこで、メタンガスを主原料とし、窒素ガスを加えることによって窒素ドーピング DLC を作製した。チャンバーに導入するメタンと窒素のガス圧を 10 mTorr とし、窒素ガス分圧大きくしたとき抵抗率変化を図 3-2 (a) に示す。また、アノード電極の温度を変化させたときの抵抗率の変化を図 3-2 (b) に示す。抵抗率を $10^{-2} \Omega \text{ cm}$ オーダーまで下げることができた。自己バイアス電圧と窒素分圧を変化させたときの光学的バンドギャップを図 3-3 に示す。抵抗が低い DLC でも 2eV 程度のバンドギャップを有しており、グラファイトではないことが分かる。

DLC 薄膜のラマン分光特性の一例を図 3-4 に示す。1350 cm^{-1} 付近に D ピーク、1570 cm^{-1} 付近に G ピークを持つ典型的な DLC であることが分かる。カソードの自己バイアスを変化させたときの、G ピーク位置の変化を図 3-5 に示す。これより、自己バイアスが大きくなると G ピークが波数の大きい方向にシフトし、グラファイト化が進むことが分かった。

様々なアノード温度で堆積した窒素ドーピング DLC 導電率の温度依存性を図 3-6 に示す。絶対温度を T とすると、導電率が $T^{-1/4}$ に対して直線的に変化していることから、ホッピング伝導機構が支配的と推察される。また、DLC の抵抗温度係数が小さいことから、FED の電流を制限するための抵抗層への応用も可能であることが分かる。

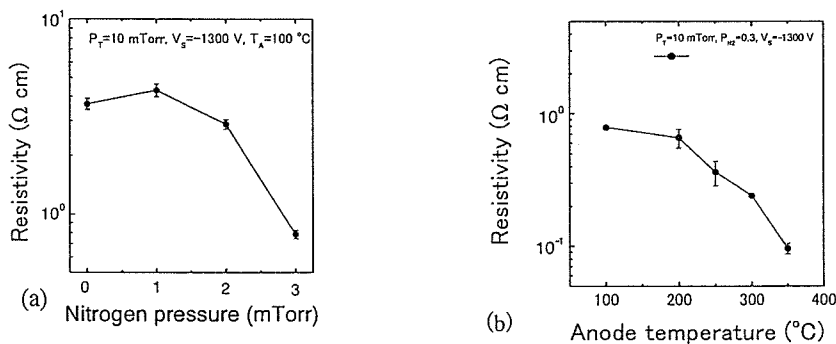


図 3-2 窒素分圧と自己バイアスに対する抵抗率の変化

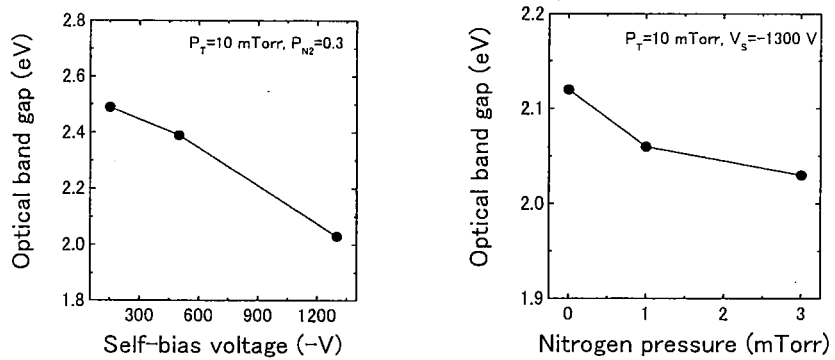


図3-3 自己バイアスと窒素分圧に対する光学的バンドギャップの変化

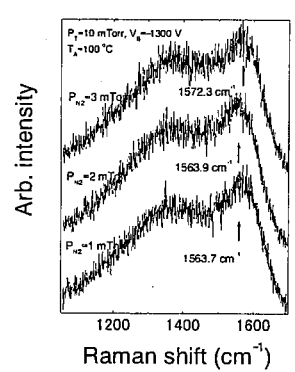


図3-4 窒素分圧を変化させたときの DLC のラマンスペクトル

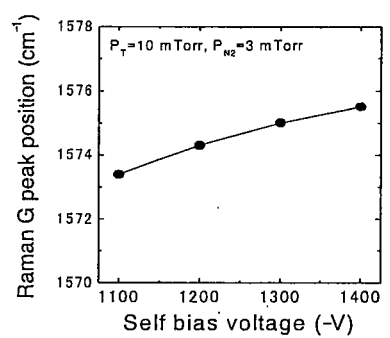


図3-5 自己バイアス電圧に対する G ピークの変化

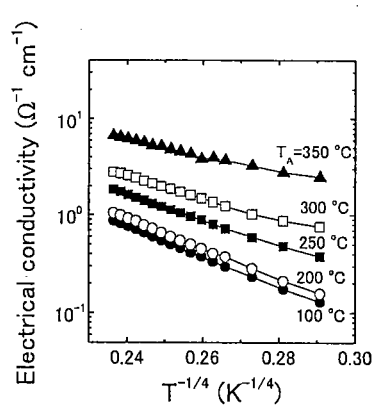


図3-6 窒素ドーパ DLC 導電率の温度依存性

・電界放出機構の解明

ダイヤモンド及びダイヤモンド系材料表面からの電子放出機構は必ずしも明らかではなかった。そこで、走査トンネル顕微鏡 (STM) を改造した電子放出評価装置を導入した。その概観写真を図 3-7 に示す。真空度 2×10^{-8} Pa 以下の超高真空中で、タングステン針を試料表面から 1nm 程度まで近づけ、表面からの距離を一定に保つようにトンネル電流を維持して針を走査し、表面の凹凸をなぞるのが STM である。本実験では局所的なトンネル電流-電圧特性を測定し、電流像としてマッピングする CITS (current imaging tunneling spectroscopy) 測定を行った。シリコン基板上にマイクロ波プラズマ CVD 法で多結晶ダイヤモンドを成長した試料の STM 像と CITS 像を図 3-8 に示す。図より、特定の結晶面から電子放出が起こっていることが分かる。電界を大きくしていくと、前面からの放出となった¹⁾。また、特定の結晶粒界からも電子放出が観測された²⁾。これらのことから、特定の結晶面や粒界から電界放出が始まるのが、初めて明らかになった。

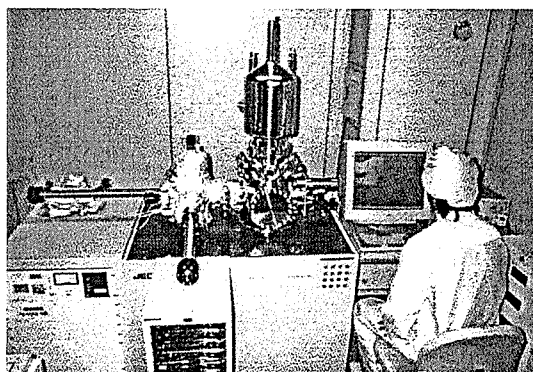


図 3-7 STM/CITS 装置の概観写真

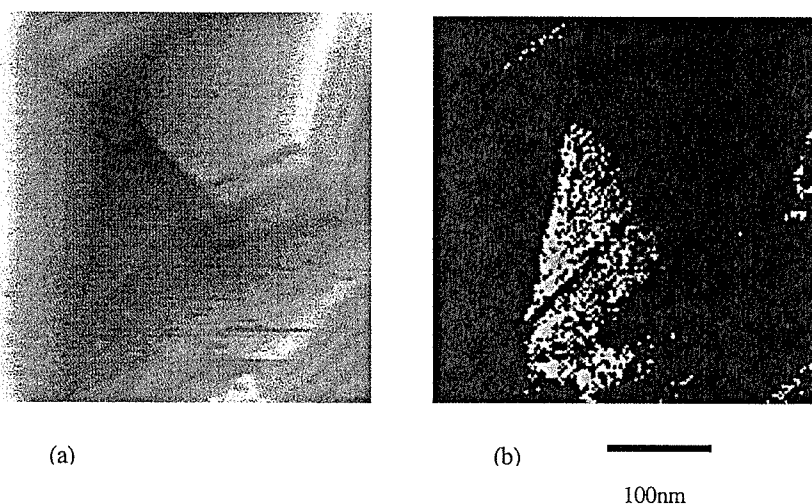


図 3-8 多結晶ダイヤモンドの STM 像(a)と CITS(b)像

・電界放出特性の評価

電界放出特性は、通常平板電極を陽極として用いて測定されるが、電界放出が均一に起こらないため、面内の平

均電流が求められるだけで、場所的な情報は得られない。そこで、高真空チャンバー内で、タングステン針を試料表面から $30\mu\text{m}$ 程度に固定し、試料を X-Y ステージ上で移動させることによって、放出特性の面内分布をマイクロンスケールで評価する SPFEC (scanning probe field emission current) 装置を製作した。製作した装置の概観を図 3-9 に示す。

ダイヤモンドは、表面に一旦電界を印加すると電流が増加する。これは、表面の活性化 (activation) と呼ばれている。シリコン基板上にマイクロ波プラズマ CVD 法でダイヤモンドを堆積した表面に $30\mu\text{m}$ 間隔で 2000V 印加して走査した場合、電界放出電流が小さかった部分に局部的に 5000V を印加すると、その部分だけ電界放出電流が増加した³⁾。この技術を用いると、微細加工なしに表示素子を形成できることから、特許を申請した。活性化前後の表面を顕微鏡観察したが、差異は観測できなかった。このことからダイヤモンドの活性化には、表面での化学結合の変化等が関係していると考えられる。

DLC でも、ダイヤモンドと同様に活性化が観測された⁴⁾。図 3-10 (a) は、シリコン基板上に DLC を堆積し、タングステン電極を表面から $30\mu\text{m}$ 離して、2000V 印加した時の SPFEC 像である。図中、黒色の部分は電流が低く、全体に電界放出が小さいことが分かる。次に、同じ場所に 4000V を印加して走査した後、再度 2000V で測定した SPFEC 像を図 3-10 (b) に示す。活性化によって、電流値が増加したことが分かる。更に、場所を X、Y 方向にそれぞれ 0.5mm だけ移動させて、再度 2000V を印加したときの SPFEC を図 3-10 (c) に示す。活性化された領域のみ電流値が高くなっていることが明確に分かる。

以上、ダイヤモンド³⁾および DLC の電界放出電流増加には、電界を印加する活性化が有効であることが明らかになった。



図 3-9 SPFEC 装置の概観写真

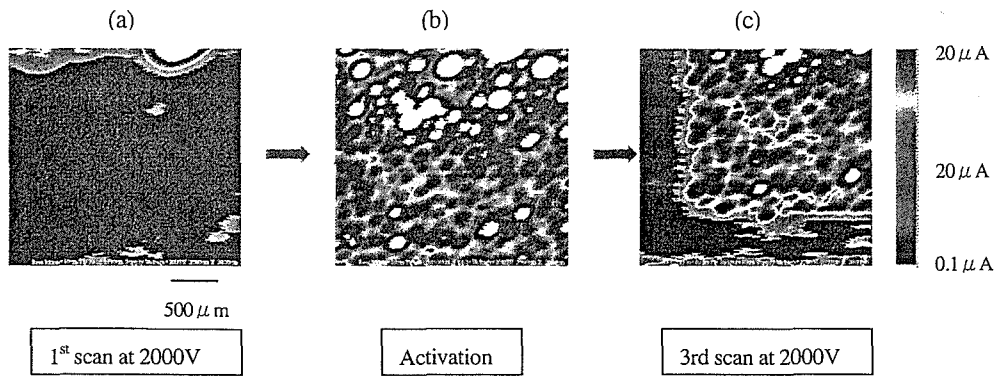


図3-10 活性化を行った DLC の電界放出連流マッピング像：右端は、x, y 軸に 0.5mm ずらした状態で測定した

・表面仕事関数の測定

Maxwell 応力顕微鏡をもちいて DLC の仕事関数を測定した。その結果を図 3-1 1 に示す。DLC 作製時の自己バイアスを変化させることにより、仕事関数が大きく変化した。特に、窒素ガスを 3 mTorr 導入した場合、5.3 eV から 4.3 eV まで広い範囲で、仕事関数が変化しており、単一材料で、これだけ仕事関数を変化できる材料は他にないと考えられる。有機 EL 素子などでキャリア注入を制御する障壁材料として、DLC は有望である。

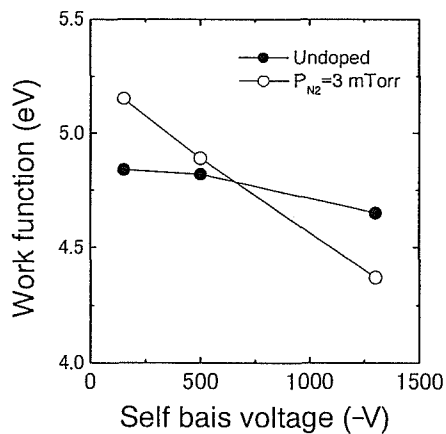


図 3-1 1 自己バイアス電圧に対する仕事関数の変化

②-3 考察

フェーズ I では、導電性を有する DLC 薄膜の作製技術を確立するために、まず装置を自作し、窒素ガスをメタンに混入させながら、様々な条件で成膜実験を行った。抵抗率は $10^{-1} \Omega \text{cm}$ 以下まで下げることができ、また仕事関数を成長条件によって広い範囲で制御できることが分かった。FED 応用のためには、DLC 表面からの電子放出機構を明らかにする必要があるため、まずナノスケールでの解析を走査トンネル顕微鏡を改造した装置で調べた。その結果、特定の結晶面及び粒界から電子放出が始まることが明らかになった。次に、ミクロンスケールでの電界放出特性を評価するために SPFEC 装置を製作した。ダイヤモンド及び DLC で、一旦電界を印加すると放出電流が増加する活性化現象が観測された。

③ フェーズ II の取り組み (H12.04~H14.11)

③-1 目的及び目標

DLC を用いた FED エミッタを製作するために、リソグラフィとエッチングによる DLC の微細加工、プラズマ処理による電界放出特性の向上、ガラス基板上への DLC 堆積技術などを確立し、DLC を陰極に用いた平面型 FED のプロトタイプ製作を目指した。また、ダイヤモンドに関しては、AFM (atomic force microscopy) のカンチレバーを表面に接触させて、表面抵抗を測定し、放出電流との比較を行った。更に、DLC に半導体レーザを照射し、レジストなしにマスクレスで加工する実験も行った。

③-2 研究方法及び結果

DLC 表面のプラズマ処理、ガラス基板への DLC 堆積、ダイヤモンド表面抵抗分布の測定、半導体レーザによるマスクレス加工及び FED のプロトタイプ作製についてそれぞれ項目を分けて以下に説明する。

・DLC 表面のプラズマ処理

DLC 表面からの電界放出特性は、表面の化学結合および表面荒さ等物理的な構造の 2 つが関係していると報告されている。表面荒さの効果を調べるために、酸素プラズマで表面処理した試料の表面構造を STM 及び AFM で観察し、また SPFEC 測定から電界放出特性を評価した。

図 3-1 2 は、5Pa 20W で酸素プラズマ処理した DLC 表面の STM 像及び CITS 像である。(a) は as-grown で、(b)、(c) はそれぞれ 10 分、20 分のプラズマ処理を行った。図より、表面の凹凸が処理時間とともに大きくなっていることが分かる。また、同じ場所での CITS 像から as-grown での電子放出は小さいが、プラズマ処理すると、電子放出が特定の粒界または表面から起こり、電流値が高くなることが分かる。観測領域は 40nm 四方であるが、もっと広い領域を AFM で観測した結果を図 3-1 3 に示す。図中に、自動測定される荒さの二乗平均 R_{ms} を示すが、時間とともに R_{ms} が増加していることが分かる。また、プラズマ処理したときの、電界放出特性を図 3-1 4 に示す。測定は、ITO を蒸着したガラス基板をアノード電極として用いた。図より、プラズマ時間とともに、閾値電界が小さくなっており、30 分処理した試料で $3\text{V}/\mu\text{m}$ まで閾値電界が低くなった。また、図 3-1 5 は、30 分間プラズマ処理した試料表面にタングステン針を近づけ、SPFEC 測定を行った結果である。活性化現象が起こるため、2 回目以

降、5回目までの結果をプロットした。活性化後は、安定した電流-電圧特性が観測された。また、比較のために、as-grown 試料の電流-電圧特性を図示したが、電界放出の始まる閾値電圧は、1/3 以下になっている。

以上のことから、電界放出特性の向上には、酸素プラズマ処理が有効であることが明らかとなった。

平行平板電極を用いて電界放出特性を測定する際、電極と試料とのスペーサに 100 μm のテフロンシートを用いたが、測定終了後、テフロンシート近傍で大きな電流が流れた痕跡が観測された。フッ素が、プラズマ化し DLC に何らかの作用を及ぼすと考え、積極的にフッ素プラズマ処理を行った。ガスには、 CHF_3 を用い、酸素プラズマ処理をした後にフッ素で処理した。その結果、 CHF_3 ガス流量が低いときには、エッチングが進むが、 CHF_3 ガスが多くなると、表面に炭素系薄膜が形成され、堆積モードとなることが明らかとなった。また、フッ素処理によって、電界放出特性が向上することも確かめられた。

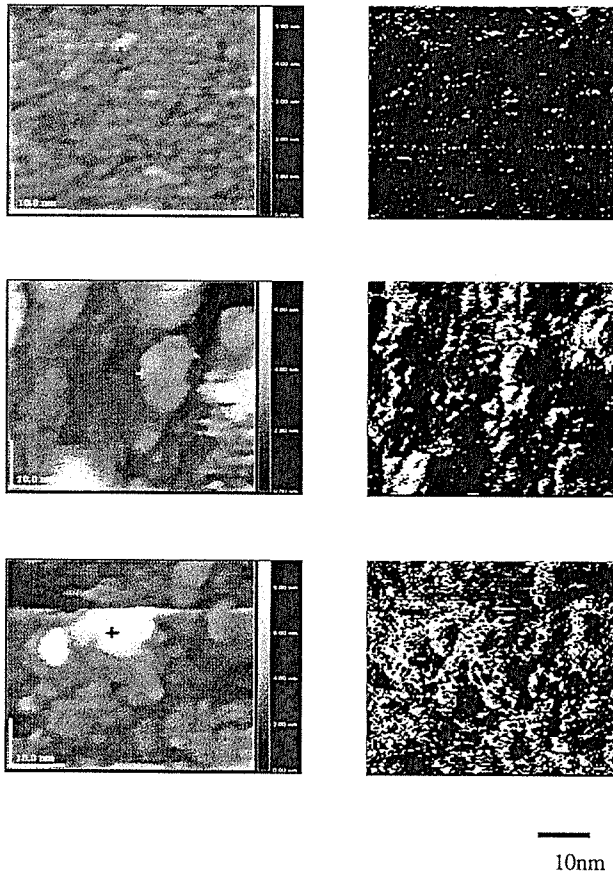


図 3-1 2 酸素プラズマ処理した DLC の STM 像
(左) と CITS 像 (右) : 上から as-grown、5Pa、20W
で 10 分間、20 分間処理した

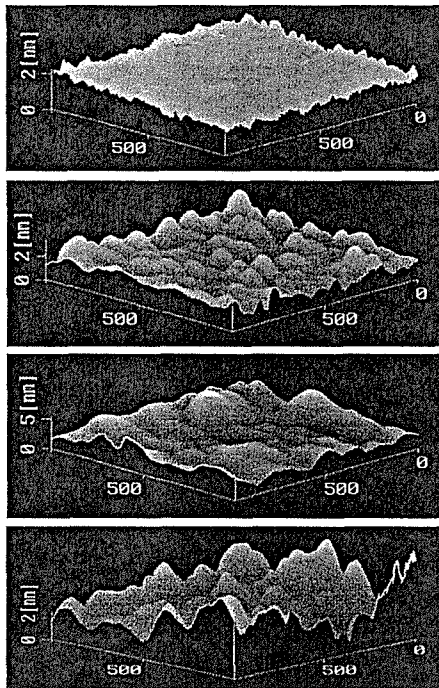


図 3-1 3 酸素プラズマ処理した DLC の AFM 像： 上から 5 min, $R_{ms}=0.23\text{nm}$; 10min, $R_{ms}=0.46\text{ nm}$; 20 min, $R_{ms}=0.83\text{ nm}$; 30min, $R_{ms}=1.57\text{ nm}$.

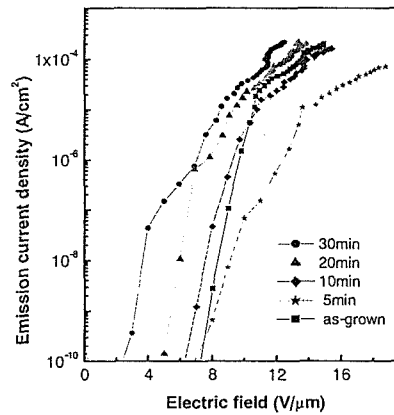


図 3-1 4 平行平板電極を用いた電界放出特性：時間は、酸素プラズマ処理時間である

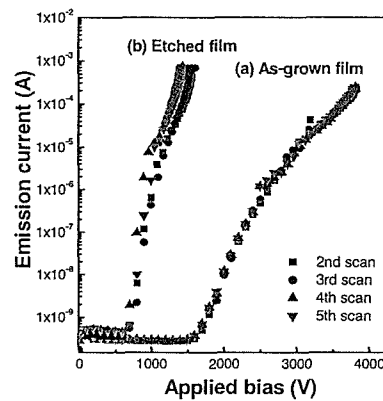


図 3-1 5 酸素プラズマ処理した DLC の電界放出特性

・ ガラス基板への透明性を有する DLC 膜の堆積

CVD 法で DLC を堆積する場合、シリコン基板上では良質の膜が得られるが、ガラス基板上では堆積中の熱応力のため困難であった。そこで、堆積初期に sp^2 構造の多い DLC をまず堆積し、次にチャンバー内でカソードの自己バイアス電圧を下げて、 sp^3 構造の多い DLC を連続的に堆積した。その結果を、他の堆積方法で得られた結果と合わせて図 3-1 6 に示す。どの試料もガラス基板上に 200 nm の DLC を堆積させた。膜質が悪いと、透明度が低い。図より、自己バイアスを連続的に変化させながら堆積したものの透明度が最も高いことが分かる。ガラス基板に透明な DLC 薄膜を堆積する方法に関しては、特許を申請した。

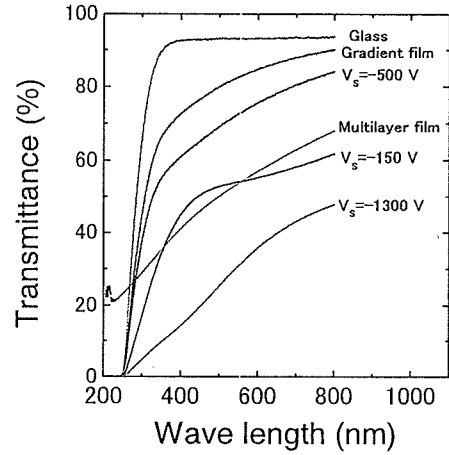
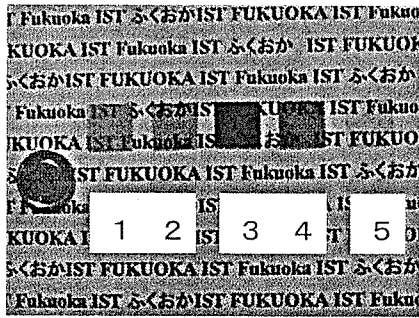


図3-16 様々な条件でガラス基板に堆積させた DLC 薄膜： 膜厚 200nm、(1)は自己バイアス -150V、(2)は-500V、(3)は-1300V、(4)は多層膜、(5)は自己バイアスを連続的に変化

・ダイヤモンド表面での導電特性の測定

CVD 法で成長したダイヤモンド表面には、水素終端による p 形伝導層が形成される。多結晶ダイヤモンド表面での、電気伝導分布を scanning probe contact current (SPCC)法で測定した。その結果を図3-17に示す。(a)は結晶粒付近の AFM 像であり、(b)は同じ場所での電気伝導度を画像化したものである。結晶の粒界、及び特定の結晶面で抵抗が低いことが分かった。また、電気伝導と電界放出特性には相関があった。これらのことから、ダイヤモンドの場合、表面での伝導チャンネルも電界放出特性に寄与していることが明らかとなった。

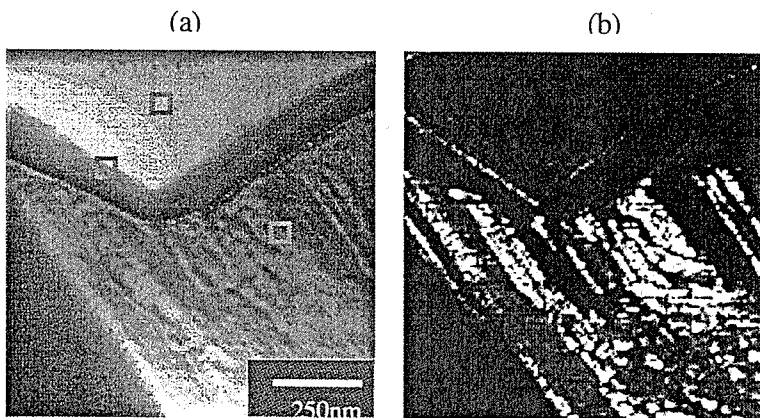


図3-17 多結晶ダイヤモンド表面の AFM 像(a)と SPCC 像(b)

・ 半導体レーザーによる DLC のマスクレス加工

大面積のガラス基板等に DLC を堆積させ、デバイスを製作する際に、マスクレスにレーザー描画を行うことが半導体レーザーを用いて可能となった。本研究は、安川電機（株）がフェーズ I で開発したレーザー描画装置を用い、レーザー照射によって炭素を二酸化炭素として取り除くことを目的とした。808nm のレーザーで DLC のパターニングが可能であり、照射条件を変化させると、平坦な DLC 表面に電界放出源として働く突起を生成することも可能となった。また、レーザー照射による DLC 表面加工でエミッタの作製も行った。

・ ガラス基板を用いた FED のプロトタイプ作製

ガラス基板上に、Cr を蒸着させ、その上に絶縁膜を堆積させ、更に絶縁膜の上に DLC を堆積させた。図 3-18 に示すように、下の金属電極をゲートとして用いる平面型 FED を製作した。DLC、絶縁膜は、リソグラフィと酸素プラズマ処理によって、下の金属のところまでエッチングした。エミッタは、約 3mm のスペーサを介して、ITO 及び蛍光体を付着させた陽極のガラス板と DLC エミッタを固定するガラス板を接着し、真空中に封じ切った。真空度を保つために、ゲッターを真空中で加熱した。製作したプロトタイプの写真を図 3-19 に示す。また、2 極管構造で動作させたときの放出電流を時間に対してプロットした結果を図 3-20 に示す。挿入図は、発光写真であり、安定した発光が観測された。しかし、高周波スパッタ装置で形成した SiO₂ の絶縁特性が良くないため、3 極管動作までには到っていない。

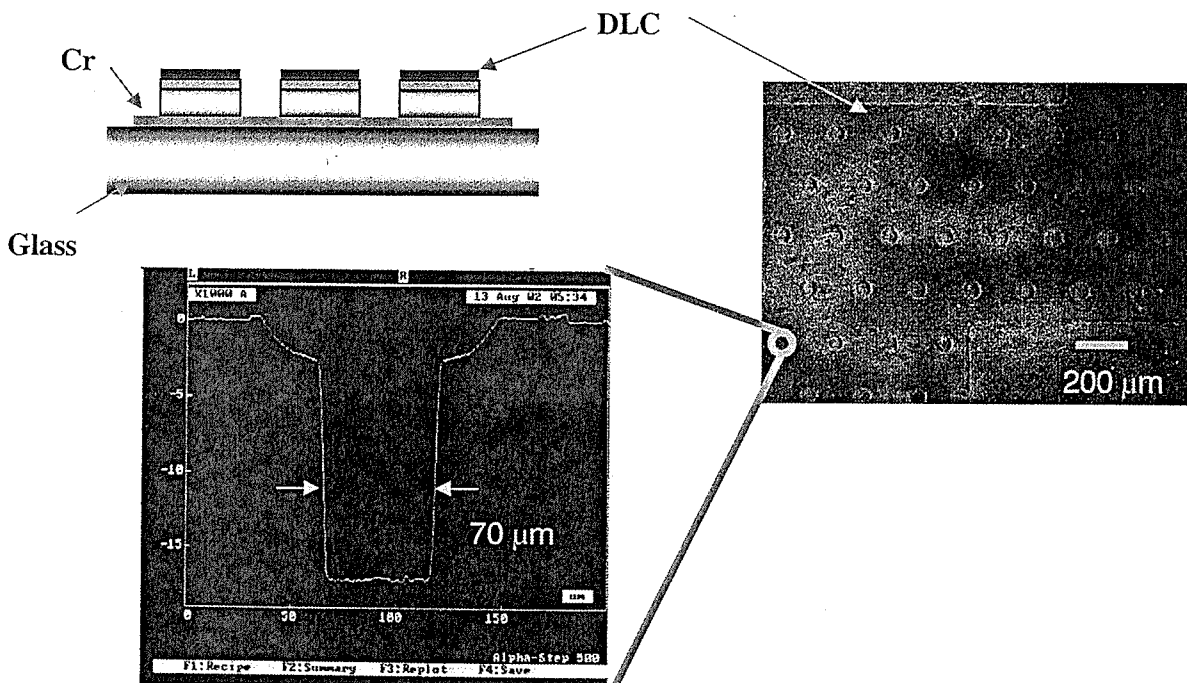


図 3-18 DLC エミッタ構造と断面及び平面構造

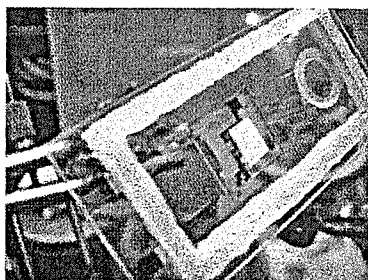


図3-19 作製した FED プロトタイプの写真

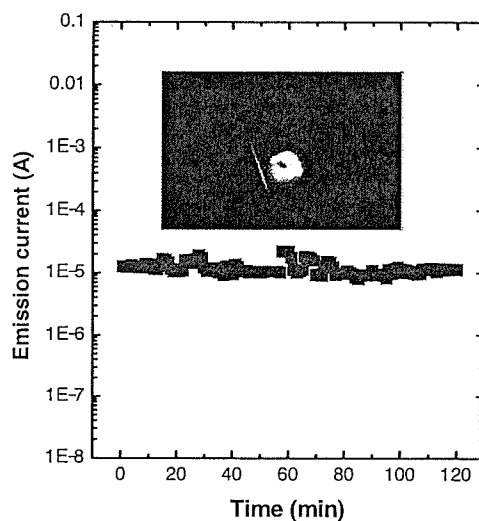


図3-20 電界放出電流の時間変化：挿入図は、発光写真

③-3 考察

DLC を用いた平面型 FED の製作を行い、安定した電界放出特性を得た。表面からの電子放出特性を向上させるためには、表面モフォロジーをプラズマ処理で変化させるとともに、一旦高電界を印加することによる活性化が重要となる。活性化の機構については明らかになっていないが、導電性チャネル形成も関係していると思われる。活性化後は安定した電流が得られることから、最適な活性化条件を確定することが重要と思われる。

③-4 成果の達成度

従来、絶縁体として機械的なコーティングに利用されてきた DLC を電子デバイスに応用するために、まず導電性を有する薄膜作製を行った。独自の高周波 CVD 装置を開発し、光学的バンドギャップが 2eV 程度ある状態で抵抗率を $10^4 \Omega \text{cm}$ 以下まで下げることができた。これは従来報告されている DLC の抵抗率としては最も低い値であった。

ガラス基板上に良質の DLC 薄膜を堆積させるために、自己バイアスを連続的に変化させる作製技術を確立した。また、電界放出特性を向上させるために、ナノスケール及びマイクロスケールで電子放出を評価する装置を開発した。ダイヤモンド及び DLC で特定の粒界から電子放出が始まることを初めて明らかにした。また、活性化と呼ばれる現象を利用することによって、高効率電界放出が可能となることを示した。得られた閾値電界 $3 \text{V}/\mu\text{m}$ は、他の材料と比較しても十分に低い値であった。

③-5 今後の課題

DLC は、室温で堆積可能なことから、ガラス基板を用いた大面積のディスプレイへの応用が期待できる。しかし、室温でゲートを絶縁するための良質な絶縁膜の堆積が困難なため、十分な耐圧が確保できなかった。スパッタ

法以外でも、一般に室温での絶縁膜堆積は難しい。どのようにして絶縁するかが、室温プロセスで大きな問題となる。

DLC の成膜条件によって、仕事関数が大きく変わり、しかも制御可能なことが分かり、これは有機 EL 素子など注入型デバイスの注入層への応用が期待できる。

③-6 フェーズ III への取り組み

DLC 薄膜の製造方法および FED への応用に関しては、本研究グループから 11 件の特許を申請した。本研究で得られた導電性 DLC 膜は、FED 以外にも白色光源や EL 発光素子の注入層への応用が期待できる。これらに関しては、引き続き共同研究企業と研究を継続する予定である。

【参考文献】

- 1) Y.D.Kim, W.Choi, H.Wakimoto, S.Usami, H.Tomokage and T.Ando, Appl. Phys. Lett. **75**, 3219 (1999).
- 2) Y.D.Kim, W.Choi, H.Wakimoto, S.Usami, H.Tomokage and T.Ando, Diamond Relat. Mater. **9**, 1096 (2000).
- 3) H.Wakimoto, H.Tomokage, Y.D.Kim, W.Choi, Y.Iseri and T.Ando, Solid-State Phenomena **78-79**, 177 (2001).
- 4) W.Choi, Y.D.Kim, Y.Iseri, N.Nomura and H.Tomokage, Diamond Relat. Mater. **10**, 863 (2001).
- 5) W.Choi, E.R.Hwang, N.Nomura, S.Itose, Y.Iseri, T.Ando, Y.D.Kim and H.Tomokage, Solid-State Phenomena **78-79**, 191 (2001).
- 6) Y.D.Kim, W.Choi, C.H.Wang, T.Ando, H.Jeon, S.Y.Chang and H.Tomokage, Jpn. J. Appl. Phys. **41**, 3081 (2002).