

3次元集積量子構造の形成と 知能情報処理への応用

廣瀬 全孝* (広島大学工学部)

モノシラン (SiH_4) の減圧 CVD を用いて、 SiO_2 膜上に Si 量子ドットを自己組織化形成すると共に平均ドットサイズの制御手法を明らかにした。また、走査プローブ技術を用いて、 SiO_2 表面を反応活性な Si-OH 結合で局所的に終端させることにより Si 量子ドットの形成位置制御に成功した。自己組織化形成 Si 量子ドットアレーをフローティングゲートとして SiO_2 中に埋め込んだ MOSFET を設計・作製し、ドット当り約 1 個の電子注入・保持によるメモリー動作を室温で確認した。結合量子ドット系における電子輸送理論を開発すると共に、量子デバイスによる情報処理の為の新システムアーキテクチャを提案し、室温でのシステム動作をシミュレーションにより確認した。

Silicon Quantum Nanodevices for Information Processing

Masataka Hirose* (Hiroshima University)

Self-assembling of Si quantum dots on SiO_2/Si surfaces and control of the average dot size have been achieved by employing low pressure chemical vapor deposition from SiH_4 . The position control in Si quantum dot formation has been realized by area-selective Si-OH termination of the SiO_2 surface using a scanning probe technique. A self-assembled silicon-quantum-dot array has been used as a floating gate of MOSFETs and the memory operation of the transistor due to electron charging and retention, in which approximately one electron is stably stored at each of dots, has been demonstrated at room temperature. A new theoretical framework which describes transport through coupled quantum dots has been developed, and a new system architecture for information processing using quantum dot devices has been proposed and the system operation at room temperature has been demonstrated by simulation.

* 現所属 (current affiliation)

産業技術総合研究所 次世代半導体研究センター

Advanced Semiconductor Research Center,

National Institute of Advanced Industrial Science and Technology

1. 研究テーマ

「三次元集積量子構造の形成と知能情報処理への応用」

研究代表者： 廣瀬全孝 （広島大学、工学部）

2. 研究の概要

2.1 基本構想と目標

提案書の骨子は以下の通り。

均一サイズで位置制御されたSi量子ドット及び細線構造の形成法、及びこれらを電子のトンネルが可能なように近接して、3次元的に配列する方法を確立する。更に、孤立量子ドット、ドット結合系、Si及び金属細線、3次元集積量子構造に現れる電氣的及び光学的な量子現象を実験及び理論の両面から解析する。ゲート長及びゲート幅共に30-100nmの超微細MOSトランジスタを新たに開発する。これによって、3次元集積量子構造への電気信号の入出力系として超微細MOSトランジスタを量子配線によりマトリクス状に接続した系を利用できるようにする。3次元集積量子構造体内部におけるクーロン・ブロッケイド効果や、量子構造間の電子輸送現象を利用し、学習能力を有する知能情報処理機能体を設計し、そのシステム評価を行う。

2.2 研究スタート時点の状況

Si量子ドットをSiO₂上に自然形成可能。そのメカニズムの一端は把握していた。ドット位置制御の見通しは不明。孤立Si量子ドットにおける共鳴トンネル効果は観測にかかり始めていた。ドットの帯電状態を検出する素子として30nmゲート長MOSFETを考えたがその実現可能性は当時予想できた。3次元量子構造による知能情報処理システムは構想検討段階で具体像なし。

2.3 本研究プロジェクトで取組んだ研究課題

上記の基本構想実現のための要素技術研究として次の7つのテーマに取り組んだ。

- (イ) Si量子ドットの自己組織化形成とドットサイズ及び位置制御
- (ロ) 2次元Si量子ドットアレーをフローティングゲートとするメモリトランジスタ
- (ハ) ナノメータスケールMOSトランジスタ
- (ニ) 原子層制御選択成長によるSi量子細線の形成
- (ホ) 表面反応制御によるSi基板上及び絶縁膜上へのメタルドット及びワイヤ形成
- (ヘ) 結合量子ドット系における輸送理論
- (ト) 3次元集積量子構造による情報処理アーキテクチャ

これらの研究により得られた知識、技術を集約し、新しい知能情報処理システム実現

の可能性を明らかにする。

2.4 主な研究成果の概要

本研究が最終的に目指すところは、シリコン量子構造を用いて室温動作する知能情報処理機能体を設計する新しい原理を明らかにすることである。また、そのような知能情報処理アーキテクチャの実現を可能にするためにSi量子構造形成技術、素子化技術、微細配線技術及び微弱信号を検出処理できるトランジスタなどの要素技術の研究開発を行った。また、結合量子ドット系の振舞いを取り扱うことのできる量子輸送理論の開発を進めた。

(イ) Si量子ドットの自然形成メカニズムの解明とドット位置制御法の開発

SiO₂上でのSi量子ドットの初期核発生はSi-O結合の切断により起る。核成長はSiクラスタへの吸着分子の凝集エネルギーに依存する。核発生密度は、SiO₂表面を水素化するとSi-OH結合がSi反応前駆体(SiH₂)と反応し易くなるため劇的に向上することが判った。従って、SiO₂表面を局所的にSiOH終端すれば、その場所にSiドットを形成できる。水素分圧下STMの PtIrチップにより低エネルギー(10eV)電子ビーム励起によりSiO₂表面にSiOH結合を形成し、Siドットの二次元配列ができることが示された。

(ロ) Si量子ドットフローティングゲートMOSFETの動作機構

SiO₂上の自然形成Siドットアレーをフローティングゲート(FG)とするメモリは、既にTiwariらにより提案されているが、ドット密度が不明なため動作機構は未解明。本研究ではドット密度既知のメモリ素子を作製した。MOSキャパシタのC-V特性解析より、FGドット(平均高さ5nm)に安定保持される電子は1個であることを実測した。トランジスタのドレイン電流は正のゲートパルスに対して階段型に減少し、しきい値電圧も対応して階段型にシフトすることを明らかにした。この階段型の特性格化は中性量子ドットへの電子のトンネル注入に際して、帯電した隣接量子ドットのクーロン場がトンネル遷移を抑圧するためと解釈できる。

(ハ) 30nmゲート長MOSFETの開発と動作解析

ゲート長26nm迄のトランジスタの室温動作を確認。ショートチャネル効果を抑えるため、ソース・ドレイン接合深さ20nmをSb⁺イオン注入で実現。ゲート酸化膜厚1.6nm、リーク電流は理論値通り。イオン注入アニール時SiO₂/Si界面にSbがパイルアップする現象をドーパント不動態モデルで説明し、RTA(高速アニール)技術によりこれを回避し、低シート抵抗実現。30nm MOSFETのゲートトンネル電流解析から、リンドープpoly-Si電極中のリン原子数が有限であり、且つこのリンがゲ

ートサイドウォールにパイルアップして失われるため、ゲートサイドウォールは空乏化することが判った。TEM/EDXでこのことは直接確認され、ゲート不純物の挙動は微細MOSFET設計上重要なパラメータであることが判った。

(ニ) 多重Si量子ドット構造におけるランダム・テレグラフ・ノイズ (RTN)

厚さ1nmのSiO₂膜で隔てられた3層のSi量子ドット (平均高さ3.3nm) 構造において、ランダム・テレグラフ・ノイズの電流ステップ高さがゲート電圧の指数関数に依存し、またRTN周波数もゲート電圧の指数関数に依存することを見出した。このことは、多重量子ドットを介して作られる電流パス (パーコレーションパス) 近傍の中性ドットに電子が捕獲される時、その帯電効果により近傍のパーコレーションパス中のドット間トンネル過程が変調されることに起因すると考えられる。

(ホ) 三次元集積量子構造による確率的連想処理システムの提案とシステム評価

単電子デバイスの確率的動作を用いた確率的な連想処理アルゴリズムを提案し、単電子トランジスタを用いた回路構成を提案した。また、システムとしての有効性を評価するために、既存CMOS技術を用いてエミュレータLSIを開発し動作確認を行った。更に、量子ドット間のクーロン反発力を利用した連想処理回路を提案し、動作温度向上のために、熱雑音の助けを借りて動作する新しい原理に基づく多重ドット連想処理回路を考案した。従来の量子ドット回路はドット間の容量で決まる静電エネルギーにより動作温度が決まるため、室温動作には0.01aFのオーダの接合容量を必要としたが、新たに提案する多重ドット回路では0.1aFオーダの接合容量でよく、300Kで動作する実デバイスの実現性が極めて高くなった。

2.5 各サブグループの研究成果概要

(イ) Si量子ドット自己組織化形成、サイズ・位置制御

(宮崎誠一・広島大学工学部)

ドット自己形成メカニズムの解明に基き、サイズ制御を行うと共に、これをフローティングゲートに用いる量子ドットメモリトランジスタを開発。Siドットの充放電メカニズムを解明し、ドット当り電子1個を安定保持するメモリ素子を実現。また、SiO₂表面を局所的に走査プローブによりSiOH結合で終端し、この位置へSi量子ドットを選択形成可能なことを明らかにした。

(ロ) ナノメートルスケールMOSFETの開発と素子分離技術及び極浅接合形成技術

(芝原健太郎・広島大学ナノデバイス・システム研究センター)

トランジスタを100x100nm²の素子分離領域に作り込む技術を開発し、少数電子系

の輸送現象をMOSFET特性から解明することを狙っている。100nm素子分離技術は完成。極浅接合を持つゲート長30nm MOSFET動作も確認。

(ハ) 原子層制御選択成長Si細線形成

(横山 新・広島大学ナノデバイス・システム研究センター)

Si窒化膜原子層成長技術を活用し、SiO₂でサンドイッチされたSi₃N₄層のサイドウォールに線幅20nmのSi細線を形成。バルクSiと同じ伝導度を実現。将来の量子配線として活用できる。

(ニ) Si表面局所反応制御によるAl細線形成

(高萩隆行・広島大学工学部)

Si(111)表面をウエハースケールで原子レベル平坦化し、水素終端すると $\langle\bar{1}\bar{1}2\rangle$ 方向にオフしたステップ端にSiH₂構造が現れる。この位置でAlH(CH₃)₂を選択的に分解し、ステップ端に原子層Alワイアができるが、三次元成長に到らず。

(ホ) Alの陽極酸化によるナノホール形成及びナノドット形成

(新宮原正三・広島大学工学部)

SiO₂上のAl層を2段階陽極酸化して形成される直径15-30nmの微細孔にCu、Niをメッキによって埋め込みメタルワイア（長さ50-2000nm）を形成できた。また、Si上のAlの陽極酸化により、直径30nm、高さ12nmのAlドットの六角格子配列を自然形成できた。

(ヘ) 結合量子ドット系の理論

(伊澤義雅・広島大学工学部)

相互作用の強い量子構造中の輸送理論を開発した。Keldyshグリーン関数を自己エネルギーと非摂動グリーン関数の関数と見なし、種々の相互作用、構造に対する一般的な場合の解を、相互作用のない解を利用して導出した。この理論により結合量子ドット構造のダイナミックな性質を解析できる。

(ト) 三次元集積量子構造体による知能情報処理

(岩田 穆・広島大学工学部)

確率的に動作する単電子回路に有効なアルゴリズムとして「確率的連想法」を考えた。知的連想処理の実現やベクトル量子化の学習においても従来にない優れた能力を持つことをシミュレーションで明らかにした。既存のトランジスタ上にSi量子ドットを配置することにより実現性の高い素子構造を設計した。構造的には少し複雑だが、多重量子ドットによるドット間クーロン反撥力を利用したパターン比較回路を考案し室温動作の可能性を示した。

3. 主要成果の図表による説明

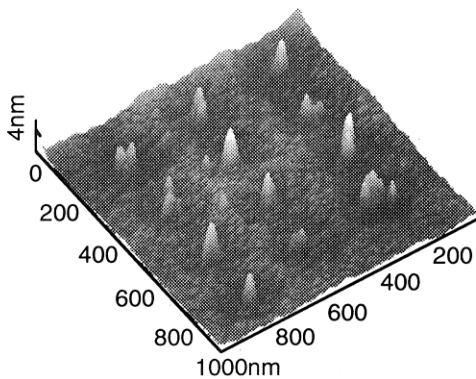


図1 SiO₂ 表面を局部的に SiOH 終端して、その上に形成された Si ドットの AFM 像。

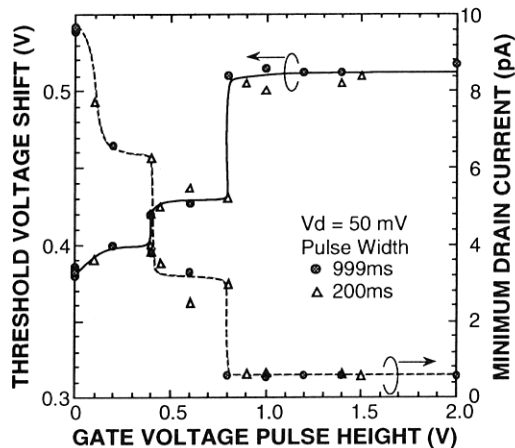


図2 シリコン量子ドットフローティングゲート MOSFET におけるしきい値電圧シフト量及びドレイン電流のゲートパルス電圧依存性。段階的な変化はドットへの電子注入が多段階で起ることを示す。

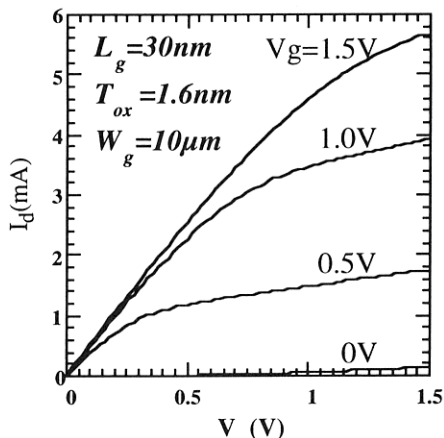


図3 30nm ゲート長 MOSFET の I_d - V_d 特性。ゲート酸化膜厚 1.6nm ソース・ドレイン接合深さ 20nm。ゲートエッチングは n⁺ poly-Si と SiO₂ のエッチング選択比 300 を実現。

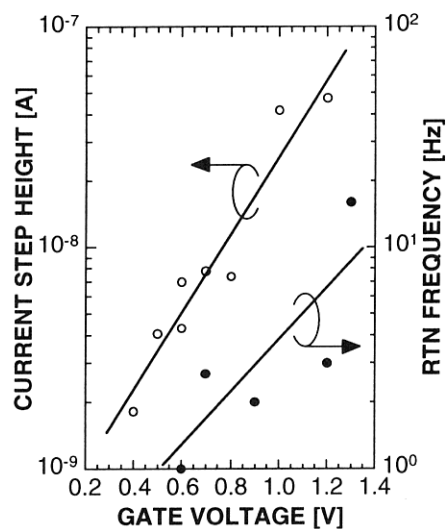


図4 3層シリコン量子ドット積層構造における非線型トンネル伝導に現れるランダム・テレグラフ・ノイズ(RTN)電流。電流ステップの高さと RTN 周波数はゲート電圧の指数関数に依存し、多重量子ドット間のトンネル伝導を示す。

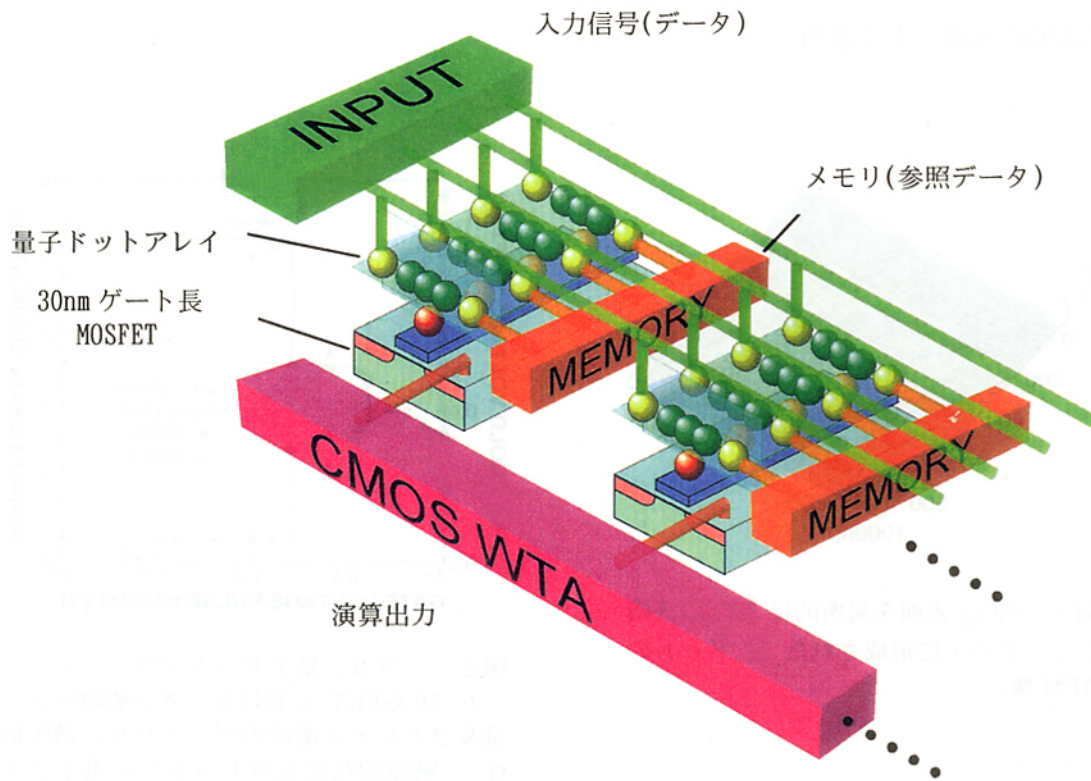


図5 微細 MOSFET ゲート上に 3 次元的に配置した量子ドットによる連想処理システム。図を見やすくするため、単純な構造の量子ドット回路を示している。量子ドットでの演算結果は微細 MOSFET ゲート電極に集められ、各ゲート容量の帯電電荷量に応じた MOSFET のドレイン電流変化を CMOS ウィナーテイクオール (W T A) 回路で検出する。

4. 主要論文リスト

1. K. Nakagawa, M. Fukuda, S. Miyazaki and M. Hirose, "Self-assembling formation of silicon quantum dots by low pressure chemical vapor deposition", *Mat. Res. Soc. Symp. Proc.*, Vol.452 (1997) pp.243-248.
2. S. Shingubara, O. Okino, Y. Sayama, H. Sakaue and T. Takahagi, "Ordered two-dimensional nanowire array formation using self-organized nanoholes of anodically oxidized aluminum", *Jpn. J. Appl. Phys.*, Vol.36 (1997) pp.7791-7795.
3. S.A. Ding, M. Ikeda, M. Fukuda, S. Miyazaki and M. Hirose, "Quantum Confinement Effect in Self-Assembled, Nanometer Silicon Dots", *Appl. Phys. Lett.*, Vol.73 (1998) pp.3881-3883.
4. S. Adachi and Y. Isawa, "Cell Design and Dynamics of Quantum Cellular Automata", *Solid-State Electronics*, Vol.42, No.7-8 (1998) pp.1361-1366.
5. M. Saen, T. Morie, M. Nagata and A. Iwata, "A Stochastic Associative Memory Using Single-Electron Tunneling Devices", *IEICE Transactions on Electronics*, Vol.E81-C, No.1 (1998) pp.30-35.
6. Y. Isawa and H. Horii, "A Theoretical Approach to Tunneling Processes in Quantum Structures", *J. Phys. Soc. Jpn.*, Vol.68, No.11 (1999) pp.3481-3484.
7. M. Koh, K. Egusa, H. Furumoto, T. Shirakata, E. Seo, K. Shibahara, S. Yokoyama and M. Hirose, "Quantitative Evaluation of Dopant Loss in 5-10 keV As Implantation for Low-Resistive, Ultra Shallow Source/Drain Formation", *Jpn. J. Appl. Phys.*, Vol. 38 (1999) pp.2324-2328.
8. M. Hirose, W. Mizubayashi, Khairurrijal, M. Ikeda, H. Murakami, A. Kohno, K. Shibahara and S. Miyazaki, "Ultrathin Gate Dielectrics for Silicon Nanodevices", *Superlattices and Microstructures* Vol.27 (2000) p.383.
9. N. Shimizu, M. Ikeda, E. Yoshida, S. Miyazaki and M. Hirose, "Charging States of Si Quantum Dots as Detected by AFM/Kelvin Probe Technique", *Jpn. J. Appl. Phys.*, Vol. 39 (2000) pp.2318-2320.
10. Y. Isawa and H. Horii, "Transport through a Metallic Quantum Dot in the Limit of Strong Coulomb Interaction", *J. Phys. Soc. Jpn.*, Vol.69, No.3 (2000) pp.655-658.
11. K. Shibahara, K. Egusa, K. Kamesaki and H. Furumoto, "Improvement in Antimony-Doped UltraShallow Junction Sheet Resistance by Dopant Pileup Reduction at the SiO₂/Si Interface", *Jpn. J. Appl. Phys.*, Vol.39 (2000) pp.2194-2197.
12. T. Morie, T. Matsuura, S. Miyata, T. Yamanaka, M. Nagata and A. Iwata, "Quantum Dot Structures Measuring Hamming Distance for Associative Memories", *Superlattices and Microstructures*, Vol.27, No.5/6 (2000) pp. 613-616.
13. T. Yamanaka, T. Morie, M. Nagata and A. Iwata, "A Single-Electron Stochastic Associative Processing Circuit Robust to Random Background-Charge Effects and its Structure using Nanocrystal Floating-Gate Transistors", *Nanotechnology*, Vol.11, No.3 (2000) pp.154-160.
14. Khairurrijal, W. Mizubayashi, S. Miyazaki and M. Hirose, "Unified Analytic Model of Direct and Fowler-Nordheim Tunnel Currents through Ultrathin Gate Oxides", *Appl. Phys. Lett.*, Vol.77, No.22 (2000) pp.3580-3582.
15. M. Koh, W. Mizubayashi, K. Iwamoto, H. Murakami, T. Ono, M. Tsuno, T. Mihara, K. Shibahara, S. Miyazaki and M. Hirose, "Limit of Gate Oxide Thickness Scaling in MOSFETs due to Apparent Threshold Voltage Fluctuation Induced by Tunnel Leakage Current", *IEEE Trans. Electron Devices*, Vol.48, No.2 (2001) pp.259-264.
16. S. Kinoshita, T. Morie, M. Nagata and A. Iwata, "A PWM Analog Memory Programming Circuit for Floating-Gate MOSFETs with 75us Programming Time and 11b Updating Resolution", to be published in *IEEE J. Solid-State Circuits*, 2001.

5. 外部発表件数

論文 34件

口頭発表

国内発表 58件

国際会議発表 29件

特許出願 2件