

## 1-5 「大規模化カオスニューロコンピュータの構築と応用」

小林千織、小沢弘和、田中健太郎、小山武彦、堀尾喜彦(電機大・工)、合原一幸(東大・創域)

1000万ニューロンカオスコンピュータシステムの構築の現状について発表する。ここでは主に、最終版のカオスニューロチップとシステム全体のアーキテクチャを示す。さらに、高速に最適化問題を解くシステム、特に、TSP を分割処理する方法、回路用にパラメータチューンした QAP 用ネットワーク、それにこれらのための SI カオスニューロンを示す。

## 1-6 「非同期パルスニューラルネットワークの構築」

谷口卓也、松田欣也、篠崎淳平、堀尾喜彦(電機大・工)、合原一幸(東大・創域)

製作した非同期パルスニューロチップの測定結果とネットワークエミュレータによる結果を示す。また、派生技術として非線形抵抗回路の応用回路について述べる。まず、多数のニューロンの活動電位の詳細な時空間的タイミングにより情報処理を行う非同期パルスニューロン集積回路の詳細な電気的特性を測定した。この結果を基に、アナログ回路的な動作を重視したエミュレータを作成し、ニューロンとネットワークのエミュレーションを行い、設計した回路特性を再検討した。また、派生技術として提案した多数の浮遊ゲートを持つ MOSFET を用いた非線形抵抗回路を LC 発振回路に応用し、プロトタイプ集積回路を製作してその特性を測定・評価した。

## 1-7 「パルス形カオスニューロンモデルのハードウェア実装」

佐伯勝敏、関根好文(日大・理工)、合原一幸(東大・創域)

脳内ではパルスで情報が伝達されていることより、実際のパルス波形をモデル化するパルス形のモデルが、ニューロンの有する基本的性質を考慮しているため有効である。我々はカオスニューロンモデルを基にパルス形カオスニューロンモデルの一般的な回路構成を示すと共に、CMOS プロセスを用いた標準方式に適用できるエンハスメント型 MOSFET とコンデンサのみで構成できるパルス形カオスニューロンモデルを提案し実装した。