

「量子効果等の物理現象」  
平成7年度採択研究代表者

廣瀬 全孝

(広島大学工学部 教授)

## 「3次元集積量子構造の形成と知能情報処理への応用」

### 1. 研究実施の概要

3次元集積量子構造による知能情報処理システムに必要なアルゴリズムとアーキテクチャ、機能実現に必要なSi量子ドットの位置制御、量子細線、極微細トランジスタ、量子ドットメモリ、結合量子ドット系の理論などの研究を総合的に推進している。

これまでの研究により、3次元集積量子構造による情報処理機能体のアーキテクチャが明らかにされた。量子ドットの位置制御、帯電状態制御、量子配線形成、ドット帯電状態検出用極微細MOSFET等の要素技術開発については最終目標達成に近付いている。

### 2. 研究実施内容

#### 1. 高密度Si量子ドットの自己組織化形成法の研究

AFMを用いた陽極酸化法によりSiO<sub>2</sub>表面に極微細なSi-OH終端パターンを形成し、この領域にSiドットを選択成長させることができた。また、低圧力H<sub>2</sub>雰囲気中でPtIr STM探針から低エネルギー電子ビームをSiO<sub>2</sub>表面に照射して、SiOH結合を形成した領域にSiドットを整列させることができた。

Si量子ドットフローティングゲートMOSキャパシタにおけるドットからの電子放出電流の解析から、帯電したドット間のクーロン相互作用の存在が示唆された。

Si量子ドットフローティングゲートMOSFETのドレイン電流-ゲート電圧特性はヒステリシスを示しドットへの電子注入が少なくとも2段階で起こることを示している。また、ドレイン電流の時間変化から電子注入は時間に対して多段階的に起こり、ドットの帯電状態には準安定な過渡状態が存在することが分かった。更に、ゲートにパルス電圧印加後の最小ドレイン電流値のゲートパルス電圧依存性からドットへの電子注入はゲート電圧に対して多段階的に起こることが明らかになった。

#### 2. 量子細線の自然形成

シリコン基板上に薄い酸化膜を介して堆積したAl膜を、シュウ酸自己組織化条件での陽極酸化によりほぼ完全にAl酸化膜に転化し、その後にAl酸化膜のみを選

択エッチング除去したところ、Alドット構造の六角格子状配列が形成されることを見出した。近接するAlドットに関してAFMにより高さプロファイルを調べたところ、ドット直径は約40nm、高さは15nmであり、最近接ドット間距離は60nmであった。このAlドット六角形は、三角格子をなす各陽極酸化ナノホールを取り囲む配置となっている。ナノホール底部には陽極酸化電圧に応じた曲率半径を持つAl<sub>2</sub>O<sub>3</sub>バリア層が存在するため球面状となっており、ホール中心から離れた位置では下層のAlが盛り上がる構造となるために、Alドットが形成されたものである。またさらに室温量子効果発現のため、このAlドットの微細化をドライ酸化及びAl酸化膜の選択エッチングにより検討し、その可能性を確認した。

### 3. 原子層選択成長によるSi量子構造形成法の研究

Siウエハ上のSiO<sub>2</sub>/SiN/SiO<sub>2</sub>積層構造のストライプパターン端面にSi<sub>2</sub>H<sub>6</sub>ガスを間欠的に基板に照射する方法により、410 Kという低温でSiをSi窒化膜上のみで成長させ、SiO<sub>2</sub>上には成長させない選択成長技術を開発した。この方法を用いて、幅25nm×厚さ25nmのSi細線を形成しその電気的特性を測定した。室温における電流-電圧特性は線形で、その抵抗率は $5.8 \times 10^{-3} \text{ } \Omega \cdot \text{cm}$ となり、リソグラフィーとプラズマエッチングを用いて形成した同種の構造に対する抵抗率に比べて1/4以下であった。本方法では、成長サイクル数により細線幅を正確に制御でき、またプラズマダメージがないため低抵抗なSi細線が形成できることが特徴である。

### 4. 極微細構造形成のための表面反応の原子スケール制御の研究

<112>方向へオフしたSi(111)表面を、加熱NH<sub>4</sub>F処理して形成したSiH<sub>2</sub>ステップの周期的構造表面にDMAIH [AlH(CH<sub>3</sub>)<sub>2</sub>]を選択的に反応させることでAlナノ構造の形成を行った。

基板温度250 KでDMAIHを反応させた表面のAFM観察の結果、約0.6nm高さの細線状の構造が観察された。この細線構造は、基板のステップ/テラス構造の周期、方向と一致しており、また、高さはステップ端にバイレイヤーのAl層が形成された場合のステップ端の高さ0.62nmとよく一致している。このことから、ステップ端のSiH<sub>2</sub>構造との選択的反応によりナノメートル幅のAl細線が形成されたものと考えられる。ただし、現時点ではAlの高さ方向への成長は実現できていない。これはSi上に反応したDMAIH分子のAl-CH<sub>3</sub>結合の解離が不十分な結果と考えられるため、今後、水素ラジカルによるCH<sub>3</sub>基の積極的な引き抜きによりAl成長の三次元化を実現していく。

### 5. 量子構造における少数電子系の理論解析

#### 1) Co-tunnel過程の研究

我々は量子ドットの典型的な高次トンネル過程である、co-tunnel過程による電流を解析し、AverinとNazarovの標準理論のV<sub>3</sub>項(大きさは標準理論と異

なる)だけでなく標準理論には存在しない $V^2$ 及び $V$ 項が存在することを見いだした。標準理論との違いが、標準理論では無視されていた電子相関効果に起因することを明らかにしている。

## 2) クーロン相互作用が強い極限での量子ドットの輸送現象

Keldyshのグリーン関数をもとに、金属量子ドット中を流れる電流をチャージング・エネルギーが大きい極限で理論解析し、従来の理論式(Scholler and Schon)の拡張された理論式を第ゼロ近似として含む理論を作り上げた。この解析から見いだされたもう一つの重要な研究成果は、電圧が印可され非平衡状態に達した量子ドット系の電流連続条件は、左右リード及びドットの電気化学ポテンシャルが任意の場合に理論の正しさを保証するために理論が恒等的に満たさねばならぬ必要条件なのではないことを明らかにすると共に、ドット内に非弾性散乱が存在する場合(非弾性散乱が存在しない場合にはドット内の電気化学ポテンシャルは物理量に何らの影響を及ぼさない、あるいは定義できないといってもよい)、ドット内の電気化学ポテンシャルは、むしろ、電流連続条件から決定されるべきであるという、我々が1991年以来非平衡系に対し主張してきた、新たな理論的枠組みの必要性を改めて指摘している点にある。

## 3) 量子ドットの電子数揺らぎと分布関数の研究

量子ドットが非平衡状態にあり、さらに、電子波の漏れがある場合の電子数揺らぎと分布関数の解析を行った。

## 4) ダブル量子ドットの伝導現象の研究

我々が開発した一般的な解析手法をダブル量子ドット系に応用し、ダブルドットを流れる電流の理論式を近似を含まない形で導いた。ダブルドットのco-tunnel過程など高次トンネル過程を無視し、数値解析を行った結果、最近、Blick 達によって見いだされたコンダクタンス振動の新たなピーク構造を解明できる見通しを得た。

## 6. 超微細MOSトランジスタの研究

### 1) 100x100nm<sup>2</sup>極小面積MOSトランジスタの製作

平成10年度に開発した超微細シリコン活性領域の形成技術を用いて約100nm角の活性領域を有するMOSFETの製作を行い、良好なオン・オフ動作を確認した。LOCOS工程に起因すると思われるしきい値電圧の上昇や初期不良が見られたため、改善の実験を進めている。

### 2) 極浅接合形成技術

Sbのイオン注入でMOSFETの微細化に必須な浅く低抵抗な接合形成を行った。注入ドーズ量と高速熱処理温度の制御によって深さ約20nmの接合でシー

ト抵抗が従来の約500  $\Omega$ から250  $\Omega$ まで低減できた。

ゲート長30nmのMOSFET作製においては、ゲート酸化膜厚の薄膜化に伴い直接トンネル電流がゲート電極を流れるために、ゲート電極内での電圧降下がしきい値ゆらぎを引き起こす問題があるので、ゲート電極への不純物添加量を増大させたMOSFETを試作した。ゲートトンネル電流の増大による閾値揺らぎは抑えられた。しかし、ゲート長1  $\mu$ m以下のMOSFETにおいて、ゲート電極抵抗の増大が観測された。この原因は、ゲート加工時及びイオン注入時にゲート側壁に形成されたダメージ層とSiO<sub>2</sub>界面にpoly-Si中のリン不純物が偏析し、poly-Si中の電子濃度が減少したためと考えられる。この不純物の偏析は後工程に行われる高温(750?850  $^{\circ}$ C)熱処理により生じたものであることが示唆された。

### 7. 3次元量子構造による情報処理アルゴリズムとアーキテクチャの研究

確率的動作に基づく単電子連想処理回路の構成法を研究し、現実的なトンネル接合容量で室温動作が可能な量子ドット連想処理回路とその構造を提案した。また、確率的連想機能の大規模システムでの有効性を検証するため、擬似的に確率的連想を行うCMOSチップを設計・試作し、機能を確認した。

単電子動作に適した知能情報処理の回路アーキテクチャとしてパルス幅変調(PWM)方式を採用し、一例として、画素に対応した非線形振動子同士の同期関係により、画像領域分割を行う非線形振動子ネットワークを研究した。プロトタイプCMOSチップを設計・試作し、非線形振動子の振動現象を確認した。

PWM方式で浮遊ゲートの電荷書込み量を制御するアナログメモリ回路を考案し、CMOS技術により制御回路を設計・試作した。既存EEPROMデバイスと組み合わせた評価実験の結果、書込み速度75  $\mu$ s、書込み更新分解能11ビット、設定精度6.5ビットの高い性能を得た。

### 3. 主な研究成果の発表 (論文発表)

S. Yokoyama, Y. Nakashima and K. Ooba, "Atomic-Layer Deposition of Silicon Nitride", J. Korean Phys. Soc., Vol.35 (1999) pp.S71-S75.

Y. Isawa and H. Horii, "A Theoretical Approach to Tunneling Processes in Quantum Structures", J. Phys. Soc. Jpn., Vol.68, No.11 (1999) pp.3481-3484.

Y. Isawa and H. Horii, "Transport through a Metallic Quantum Dot in the Limit of Strong Coulomb Interaction", J. Phys. Soc. Jpn., Vol.69, No.3 (2000) pp.655-658.

S. Kinoshita, T. Morie, M. Nagata, and A. Iwata, "New Non-Volatile Analog Memory Circuits Using PWM Methods", IEICE Trans. Electron., Vol.E82-C, No.9 (1999) pp.1655-1661.

H. Ando, T. Morie, M. Nagata and A. Iwata, "A Nonlinear Oscillator Network for Gray-

level Image Segmentation and PWM/PPM Circuits for its VLSI Implementation", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Science, Vol.E83-A, No.2 (2000) pp.329-336.

Khairurrijal, W.Mizubayashi, S.Miyazaki and M.Hirose, "Analytical Model of Direct Tunnel Current through Ultrathin Gate Oxides", J. Appl. Phys., Vol.87, No.6 (2000) pp.3000-3005.